

WO 2004/029735 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

に昇圧動作させる。これにより、発電電圧が低くても電子時計（100）全体が自起動可能となる。また、この発電部（601）には、常に動作電流が一定となるように構成されている。これにより、開放電圧の低い1段構成のソーラーセルなどの発電部（101）を備えることができる。

明 細 書

電子時計、電子機器および起動方法

5 技術分野

本発明は、所定の作動電圧を印加することによって計時または作動する電子時計、電子機器、およびそれらの起動方法にかかり、特に、外部エネルギーを電気エネルギーに変換する発電機能を備えた電子時計、電子機器およびそれらの起動方法に関する。

10

背景技術

従来から、光や機械的エネルギーなどの外部エネルギーを電気エネルギーに変換し、この電気エネルギーを電子機器の駆動に利用する発電手段を内蔵した電子時計が提案されている。

15

このような発電手段を内蔵した電子時計には、回転錘の機械的エネルギーを電氣的エネルギーに変換して利用する機械発電式時計や、熱電対を複数直列化しその熱電対の両端の温度差により発電する温度差発電式時計や、太陽電池を利用する太陽電池式時計がある。

20

そして、発電手段として太陽電池を用いた電子時計としては、1段セル構成の太陽電池を用いた電子時計が提案されている（たとえば、特開平9-96686号公報（第5-7頁、第1図）を参照。）。1段セル構成の太陽電池は、従来からある4段セル構成の太陽電池に比べ、受光面に分割スリットが入らないので見栄えがよく、また、有効受光面積上の効率もよく、電子時計の発電手段として期待されている。

25

また、このような発電手段を備えた電子時計としては、発電手段の発電出力を昇圧手段で昇圧して蓄電する電源周辺回路を備える電子時計が提案されている。第23図は、その電子時計2300のブロック図である。この従来の電子時計2

300では、発電部2301と充電ダイオード2306と計時部2304とから電流経路を形成している。

計時部2304は、電気エネルギーで時刻表示を行う時計ブロックである。また発電部2301の出力は昇圧部2302を介して昇圧され、蓄電部2303を
5 充電することが可能となっている。

この電子時計2300は、蓄電部2303がほぼ空まで放電した状態で、かつ発電部2301も発電していないときは、計時部2304の動作は停止している。その後に発電部2301が発電を開始すると、その発電エネルギーはまず計時部2304および昇圧制御部2305に送られる。

10 そして、発電部2301の発電電圧が計時部2304の起動に十分なレベル（例えば1.0[V]）以上であれば計時部2304は再起動動作を開始する。計時部2304からは分周クロック信号 S_x が出力され、さらにそれを分周した信号（図中の S_y ）が昇圧制御部2305から昇圧部2302へ送られる。この結果、昇圧部2302は昇圧動作を開始する。

15 そして、一旦計時部2304が動作を開始した後は、発電部2301の発電電圧がやや低下しても、発電出力は昇圧部2302によって昇圧されて計時部2304へ供給されるため、計時部2304の計時動作は維持され、かつ蓄電部2303を高い電圧まで充電可能となる。

しかしながら、上述した電源周辺回路を備える電子時計では、発電部として用
20 いられている太陽電池1段分の開放電圧は、高照度下でも0.7[V]弱程度である。一方、第23図に示した従来の電子時計2300に通常用いられる水晶発振回路は、発振起動するために低くとも0.6[V]～0.8[V]程度が必要である。

したがって、1段セル構成の太陽電池を発電部2301として利用しようとした場合、充電ダイオード2306には小さいものでも0.1[V]よりは大きな
25 電圧降下がある。これにより、計時部2304の水晶発振回路そのものに印加される電圧に対して水晶発振回路の発振始動電圧のマージンが全くなくなるため、

印加される電圧は水晶発振回路の発振始動電圧を下回ってしまうこととなり、結果として水晶発振回路を始動できないという問題があった。

特に、女性用の電子時計は男性用の電子時計に比して小さく、有効受光面積が小さい太陽電池を用いざるを得ないため、上述の問題が顕著となり、女性用の電子時計に搭載することができないという問題があった。

また、現在では、同じく 1 段セル構成でかつリング形状を有する太陽電池を用い、これを文字盤の周縁に取り付けた電子時計も実用化されている。しかしながら、この太陽電池も時計の構造上受光面積が大きくできないため、直射光のほか、文字盤からの反射光を受光する必要がある。したがって、文字盤は光が反射する白色系の文字盤しか採用することができなくなり、デザイン上の制約を受けるという問題があった。

この発明は、上記問題点に鑑みてなされたものであって、起動に必要な電圧よりも低い電圧による電子時計または電子機器の確実な起動を図ることにより、電子時計または電子機器の小型化を図ることができる電子時計、電子機器および起動方法を提供することを目的とする。さらに、電子時計または電子機器の色を含む装飾性の向上を図ることができる電子時計、電子機器および起動方法を提供することを目的とする。

発明の開示

上述した課題を解決し、目的を達成するため、この発明の電子時計は、外部エネルギーを電気エネルギーに変換して、所定の作動電圧よりも低い電源電圧を生成する電源電圧生成手段と、前記電源電圧生成手段によって生成された電源電圧を印加することによって、所定の発振信号を出力する発振信号出力手段と、前記電源電圧生成手段によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧手段と、前記発振信号出力手段によって出力された発振信号に基づいて、前記昇圧手段によって昇圧された前記所定の作動電圧を印加することによって計時をおこなう計時手段と、を備えたことを特徴とする。

この発明によれば、作動電圧よりも低い電源電圧を印加することにより、電源電圧を作動電圧に昇圧することができる。

また、前記昇圧手段を制御して、前記所定の発振信号に基づいて、所定時間のみ、前記電源電圧を昇圧する昇圧制御手段を備えたこととしてもよい。この発明
5 によれば、所定時間確実に昇圧動作をおこなうことができ、所定時間経過後に作動電圧を得ることができる。

また、前記発振信号出力手段によって出力された発振信号を分周する分周手段と、前記分周手段から出力される分周信号に基づいて、前記発振信号出力手段が前記発振信号を出力してから前記所定時間経過したときに前記昇圧手段による昇
10 圧動作の停止を指示する昇圧停止指示信号を出力する昇圧停止指示信号出力手段と、を備え、前記昇圧制御手段は、前記昇圧停止指示信号出力手段によって出力された昇圧停止指示信号に基づいて、昇圧を停止することとしてもよい。

この発明によれば、電子時計に一般的に内蔵されている分周手段の分周信号を用いて、所定時間の経過時に昇圧動作を制御することができ、部品点数の減少を
15 図ることができる。

また、前記昇圧制御手段は、前記発振信号出力手段が始動してから前記所定時間経過したときに前記昇圧手段による昇圧動作の停止を指示する昇圧停止指示信号を出力する昇圧停止指示信号出力手段を備え、前記昇圧停止指示信号出力手段によって出力された昇圧停止指示信号に基づいて、昇圧を停止することとしても
20 よい。

この発明によれば、電子時計に一般的に内蔵されている分周手段とは別に、所定時間の経過時に昇圧動作を制御する昇圧停止指示信号出力手段を設けたことにより、所定時間を変更する場合に、昇圧停止指示信号出力手段を取り替えるだけで、所定時間の時間間隔を変更することができる。

また、前記昇圧制御手段は、あらかじめ前記所定時間を、時間間隔の異なる複数の時間のうちいずれか一つをあらわす時間情報を入力する時間情報入力手段と、前記時間情報入力手段によって入力された時間情報を記憶する時間情報記憶手
25

段と、前記電源電圧生成手段から生成された電源電圧が印加されることによって、前記時間情報記憶手段によって記憶された時間情報を抽出する時間情報抽出手段と、前記時間情報抽出手段によって抽出された時間情報に基づいて、抽出された前記時間情報によってあらわされる時間が経過したときに前記昇圧手段による昇圧動作の停止を指示する昇圧停止指示信号を生成する昇圧停止指示信号生成手段と、を備え、前記昇圧停止指示信号生成手段によって生成された昇圧停止指示信号に基づいて、昇圧を停止することとしてもよい。

この発明によれば、操作者の操作によって、所定時間を電子時計の性能に応じて適宜変更することができ、電子時計の性能に適した昇圧動作および起動をおこなうことができる。

また、前記昇圧手段によって、前記電源電圧が前記所定の作動電圧に昇圧されたか否かを検出する電源電圧検出手段と、前記昇圧手段を制御して、前記所定の発振信号および前記電源電圧検出手段によって検出された検出結果に基づいて、前記電源電圧を昇圧する昇圧制御手段と、を備えたこととしてもよい。

この発明によれば、電源電圧生成手段によって生成可能な発電電圧を発振信号出力手段に印加することにより、発振信号を出力するとともに、始動電圧を作動電圧に昇圧することができる。そして、この発振信号と作動電圧により、電子時計を起動することができる。

さらに、前記昇圧制御手段は、前記発振信号出力手段が前記発振信号を出力してから所定時間経過した場合、前記発振信号および前記電源電圧検出手段によって検出された検出結果に基づいて、前記昇圧手段の昇圧動作を制御することとしてもよい。

この発明によれば、電源電圧生成手段によって生成可能な発電電圧を発振信号出力手段に印加することにより、発振信号を出力するとともに、電源電圧を作動電圧に昇圧することができる。この発振信号と作動電圧により、所定時間を経過した後であっても、電子時計を起動することができる。

また、前記発振信号出力手段は、前記始動電圧が印加されることによって発振

- する発振回路と、前記発振回路から出力される信号によって共振する共振回路と、一定の電流を供給する定電流回路と、前記定電流回路から一定の電流が供給されることにより、前記共振回路から出力される信号を反転増幅して前記発振信号を出力する発振インバータと、を備えることとしてもよい。この発明によれば、
- 5 定電流回路を用いることにより、オーバートーン発振を抑制することができる。

また、前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、前記発振インバータは、前記計時手段に含まれている電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタによって構成されていることとしてもよい。

- 10 また、前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、前記計時手段に含まれている電界効果トランジスタよりも、しきい値電圧の低い電界効果トランジスタによって構成され、前記発振信号出力手段から出力される発振信号の波形を整形して、前記計時手段に出力する波形整形手段を備えることもできる。

- 15 また、前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、前記昇圧制御手段は、前記計時手段に含まれている電界効果トランジスタよりも、しきい値電圧の低い電界効果トランジスタによって構成されていることとしてもよい。

- また、前記発振回路と同じしきい値の電界効果トランジスタによって構成され、
- 20 、前記発振インバータに所定のバイアス電圧を印加するバイアス回路を備えることができる。

- また、前記発振信号出力手段から出力される発振信号の波形を整形して、前記計時手段に出力する波形整形手段と、前記波形整形手段と同じしきい値の電界効果トランジスタによって構成され、前記波形整形手段に所定のバイアス電圧を印
- 25 加するバイアス回路と、を備えることとしてもよい。

この発明によれば、消費電力の低減化を図ることができる。また、発振動作に必要な電流を格段に小さくすることができ、発振始動特性の向上を図ることがで

きる。

また、この発明の電子機器は、所定の発振信号に基づいて、所定の作動電圧を印加することによって作動する電子機器であって、外部エネルギーを電気エネルギーに変換して、前記所定の作動電圧よりも低い電源電圧を生成する電源電圧生成手段と、前記電源電圧生成手段によって生成された電源電圧によって、前記所定の発振信号を出力する発振信号出力手段と、前記電源電圧生成手段によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧手段と、を備えたことを特徴とする。この発明によれば、作動電圧よりも低い電源電圧を印加することにより、電源電圧を作動電圧に昇圧することができる。

また、この発明の起動方法は、所定の発振信号に基づいて、所定の作動電圧を印加することによって作動する電子機器を起動する起動方法であって、外部エネルギーを電気エネルギーに変換して、前記所定の作動電圧よりも低い電源電圧を生成する電源電圧生成工程と、前記電源電圧生成工程によって生成された電源電圧によって、前記所定の発振信号を出力する発振信号出力工程と、前記電源電圧生成工程によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧工程と、を含んだことを特徴とする。この発明によれば、作動電圧よりも低い電源電圧を印加することにより、電源電圧を作動電圧に昇圧することができる。

図面の簡単な説明

第1図は、この発明の実施の形態にかかる電子時計の全体構成を示すブロック図であり、第2図は、この発明の実施の形態にかかる昇圧部の具体的構成を示すブロック図であり、第3図～第5図は、この発明の実施の形態にかかる昇圧部の昇圧動作を示す昇圧回路の回路図であり、第6図は、この発明の実施の形態にかかる電子時計の時計ブロックの構成を示す回路図であり、第7図は、この発明の実施の形態にかかる電子時計の波形生成部および制御信号生成部の構成を示す回路図であり、第8図は、この発明の実施の形態にかかるパルス合成回路の構成を

示す回路図であり、第 9 図は、この発明の実施の形態にかかるパルス合成回路の動作をあらわすタイムチャートであり、第 10 図～第 13 図は、この発明の実施の形態にかかる電子時計の起動処理手順を示すフローチャートであり、第 14 図は、この発明の実施の形態にかかる電子時計の回路要部の電圧波形を示すタイミングチャートであり、第 15 図は、この発明の実施の形態にかかる波形生成部の他の例を示すブロック図であり、第 16 図は、第 15 図の波形生成部を用いた場合の電子時計の起動処理手順を示すフローチャートであり、第 17 図は、第 15 図の波形生成部を用いた場合の電子時計の回路要部の電圧波形を示すタイミングチャートであり、第 18 図は、この発明の実施の形態にかかる波形生成部および制御信号生成部の別の構成例を示すブロック図であり、第 19 図は、第 18 図に示した制御信号生成部に設けたタイマ機能を示すタイムチャートであり、第 20 図は、この発明の実施の形態にかかる、所定時間を変更する昇圧停止指示信号出力部のハードウェア構成を示すブロック図であり、第 21 図は、第 20 図に示した昇圧停止指示信号出力部の機能的構成を示すブロック図であり、第 22 図は、この昇圧停止指示信号出力部の昇圧停止指示信号出力処理手順を示すフローチャートであり、第 23 図は、従来の電子時計の全体構成を示すブロック図である。

発明を実施するための最良の形態

以下に、この発明の実施の形態にかかる電子時計および電子時計の起動方法について、図面を参照しつつ詳細に説明する。

(電子時計の全体構成)

第 1 図は、この発明の実施の形態にかかる電子時計の全体構成を示すブロック図である。この電子時計 100 は、発電部 101 と、蓄電部 102 と、昇圧部 103 と、時計ブロック 104 と、昇圧制御部 105 と、発電検出部 106 と、から構成されている。

発電部 101 は、外部エネルギーを電気エネルギーに変換して、電子時計 100 を作動する所定の作動電圧よりも低い電源電圧を生成する。発電部 101 は、

たとえば、1段のソーラーセルからなる太陽電池モジュールである。発電部101の正極は接地されており、負極は、昇圧部103の昇圧入力端子に接続されている。この発電部101に光が照射されると、約0.4[V]～0.7[V]の開放電圧が発生する。この開放電圧が電源電圧となる。

5 蓄電部102は、発電部101から出力される電力を蓄え、発電部101が非発電である間も蓄電された電力によって時計ブロック104を動作する。蓄電部102は、正極を接地している。また、蓄電部102の負極端子V_{ss2}は、切替制御部108に接続されている。この蓄電部102は、たとえば、リチウムイオン2次電池を採用することができる。

10 昇圧部103は、発電部101によって生成された電源電圧を、少なくとも所定の作動電圧まで昇圧する。昇圧部103は、コンデンサの直並列状態を切り替えることによって昇圧動作をおこなう昇圧回路である。昇圧部103の入力側には、発電部101の出力が接続されている。

また、昇圧部103には、昇圧動作を開始する昇圧開始信号としての昇圧クロックS_aが入力するようになっており、昇圧部103は、この入力された昇圧クロックS_aによって、内部のコンデンサを切り換えることにより4倍昇圧動作をおこなう。これにより、発振開始と同時に昇圧動作を開始することができ、電子時計100の速やかな起動をおこなうことができる。また、ここでは、昇圧部103の昇圧出力端子名をV_{up}とする。なお、昇圧部103の具体的な構成は後述する。

20 時計ブロック104は、電子時計100の計時動作および充放電動作のための基本信号を生成する部分である。時計ブロック104は、発振回路601と、波形整形回路603と、計時部605と、を備えている。

また、時計ブロック104には、間欠的な負荷の動作に対して時計ブロック104の端子間電圧を安定化させるため、コンデンサ110が並列接続されている。このコンデンサ110は、正極を接地しており、負極端子V_{ss1}は、発電部101、昇圧部103および切替制御部108に接続されている。なお、本明細

書では、負極端子 V_{ss1} の電圧値も V_{ss1} と称する。また、このコンデンサ110は、一例として10 [μF]の容量のものを用いている。なお、時計ブロック104の内部構成や、時計ブロック104から出力されている各信号の詳細については後述する。

5 昇圧制御部105は、昇圧部103を動作制御する回路であり、制御信号生成部107と、切替制御部108とから構成されている。制御信号生成部107は、時計ブロック104から出力されてくる各種信号(S_b 、 S_c 、 S_d 、 S_e)および発電検出部106から出力されてくる信号 S_i を入力して、各種制御信号(S_a 、 S_f 、 S_g 、 S_h)を生成出力する。

10 この制御信号のうち、第1の充電スイッチ信号 S_f と、第2の充電スイッチ信号 S_g と、第3の充電スイッチ信号 S_h は、切替制御部108に出力される。また、昇圧クロック S_a は、昇圧部103に出力される。なお、制御信号生成部107の内部構成や、各種制御信号(S_a 、 S_f 、 S_g 、 S_h)の詳細については後述する。

15 また、切替制御部108は、第1の充電スイッチ111と第2の充電スイッチ112と第3の充電スイッチ113とによって構成されている。この第1～第3の充電スイッチ111～113は、たとえば、NチャネルMOSFETによって構成されており、昇圧部103の動作に同期して、時計ブロック104および蓄電部102に対し、昇圧部103からの昇圧出力を制御する。

20 また、第1の充電スイッチ111のソース端子は、コンデンサ110の負極端子 V_{ss1} に接続されている。また、ドレイン端子は、昇圧部103の昇圧出力端子 V_{up} に接続されている。また、ゲート端子は、制御信号生成部107の出力端子に接続されており、第1の充電スイッチ信号 S_f が入力されることによって、昇圧部103と時計ブロック104とを導通させる。

25 また、第2の充電スイッチ112のソース端子は、蓄電部102の負極端子 V_{ss2} に接続されている。また、ドレイン端子は、昇圧部103の昇圧出力端子 V_{up} に接続されている。また、ゲート端子は、制御信号生成部107の出力端

子に接続されており、第2の充電スイッチ信号 S_g が入力されることによって、昇圧部103と蓄電部102とを導通させる。

また、第3の充電スイッチ113のソース端子は、コンデンサ110の負極端子 V_{ss1} に接続されている。また、ドレイン端子は、昇圧部103の昇圧出力端子 V_{up} に接続されている。また、ゲート端子は、制御信号生成部107の出力端子に接続されており、第3の充電スイッチ信号 S_h が入力されることによって、昇圧部103と時計ブロック104とを導通させる。

また、第1のダイオード121は、時計ブロック104が一旦動作を停止した後に再起動させる際に、発電部101の電力を、時計ブロック104へ送る。第1のダイオード121のアノード端子は、コンデンサ110の負極端子 V_{ss1} に接続されており、第1のダイオード121のカソード端子は、発電部101の負極に接続されている。

また、第2のダイオード122は、発電部101が非発電である間においても、蓄電部102に蓄えられた電力を時計ブロック104へ送る。第2のダイオード122のアノード端子は、コンデンサ110の負極端子 V_{ss1} に接続されており、第2のダイオード122のカソード端子は、蓄電部102の負極、すなわち V_{ss2} に接続されている。

なお、第1のダイオード121および第2のダイオード122には、たとえば、順方向電圧降下が0.1[V]程度のショットキバリア・ダイオードを用いることができる。

一方、発電検出部106は、発電部101の発電状態を検知するためのアンプ回路などからなる回路ブロックである。発電検出部106は、制御信号生成部107に対して発電検出信号 S_i を出力する。発電検出部106は、発電部101から所定の発電量が出力されている場合には、発電検出信号 S_i をハイレベルとして出力し、それ以外ではロウレベルとして出力するよう動作する。

(昇圧部の具体的構成)

つぎに、第1図において示した昇圧部103の具体的構成について説明する。

第2図は、昇圧部103の具体的構成を示すブロック図である。昇圧部103は、発電部101から生成された電源電圧が印加される昇圧回路201および直並列切換回路202によって構成される。

昇圧回路201は、第3図～第5図に示すように、MOS電界効果トランジスタ（以下FET）によるスイッチ回路301～304と、コンデンサ311、312とによって構成されている。このMOSFETのスイッチ回路301～304は、後述の昇圧制御部105の一部の論理回路に用いた低いしきい値によって、昇圧制御部105が出力する小さな振幅（0.3[V]以上）であっても、十分に切り換え制御が可能となるように構成されたものを用いることができる。また、スイッチ回路305は、図1に示した第1の充電スイッチ111～第3の充電スイッチ113のいずれかのスイッチによって構成され、コンデンサ313は、蓄電部102またはコンデンサ110のいずれかによって構成される。

また、直並列切換回路202は、発電部101から電源電圧が印加されることによって起動し、制御信号生成部107から出力されてくる昇圧クロックS_aが入力されることによって、MOSFETのスイッチ回路301～304に切替信号を入力する。

ここで、第3図～第5図を用いて、昇圧部103の昇圧動作について説明する。まず、第3図に示すように、スイッチ回路301とスイッチ回路302を制御して、発電部101に昇圧コンデンサ311を並列に接続し、昇圧コンデンサ311を充電する。蓄電コンデンサ313に負荷が接続されていなければ、昇圧コンデンサ311は発電部101の開放電圧まで充電される。

つぎに、第4図に示すように、スイッチ回路301～304を制御して、発電部101に昇圧コンデンサ311を直列に接続した電圧を昇圧コンデンサ312に印加して、昇圧コンデンサ312を充電する。この結果、昇圧コンデンサ312は、発電部101の開放電圧の2倍の電圧まで充電される。

さらに、第5図に示すように、発電部101に昇圧コンデンサ311と昇圧コンデンサ312を直列に接続した電圧を蓄電コンデンサ313に印加して、蓄電

コンデンサ 313 を充電する。この結果、昇圧コンデンサ 313 は発電部 101 の開放電圧の 4 倍の電圧まで充電される。すなわち、発電電圧の開放電圧が 0.4 [V] であれば、1.6 [V] まで昇圧することができる。

(時計ブロックの構成説明)

- 5 つぎに、第 1 図に示した時計ブロック 104 の構成について説明する。第 6 図は、この発明の実施の形態の電子時計における時計ブロックの構成を示す回路図である。時計ブロック 104 は、発振部 601 と、波形整形部 603 と、バイアス回路 604 と、計時部 605 と、から構成されている。また、計時部 605 は、波形生成部 651 と、時刻表示体 652 と、定電圧回路 653 と、から構成さ
- 10 れている。

(発振部の構成)

- 発振部 601 は、発電部 101 によって生成された電源電圧を印加することによって、発振出力信号 S1 を出力する。この発振部 601 は、共振回路 610 を備えている。共振回路 610 は、水晶振動子 611 と、第 1 の発振容量 612 と
- 15 、第 2 の発振容量 613 と、から構成されている。この共振回路 610 は、発振部 601 の発振周波数を決定する。

- 水晶振動子 611 は、一般的な電子時計に用いられる水晶振動子である。また第 1 の発振容量 612 および第 2 の発振容量 613 は、集積回路に内蔵されたコンデンサである。たとえば、第 1 の発振容量 612 は 8 [pF] であり、第 2 の
- 20 発振容量 613 は 4 [pF] である。

第 1 の発振容量 612 および第 2 の発振容量 613 の正極はそれぞれ接地されており、負極は、水晶振動子 611 の両端にそれぞれ接続されている。なお、第 1 の発振容量 612 の負極は、共振回路 610 の出力端子であるが、水晶振動子 611 が発振するための発振入力信号 S_p が入力される。

- 25 また、第 2 の発振容量 613 の負極は、共振回路 610 の入力端子であるが、水晶振動子 611 から出力される発振出力信号 S1 を出力する。なお、この共振回路 610 の共振周波数は、たとえば、32 [kHz] (具体的には、3276

8 [Hz]) となるようにされている。

また、発振部 601 は、さらに、第 1 のトランジスタ素子 621 および第 2 のトランジスタ素子 622 と、第 1 の結合容量 623 と、第 2 の結合容量 624 と、第 1 のバイアス抵抗 625 と、第 2 のバイアス抵抗 626 と、第 3 のトランジスタ素子 627 と、第 3 のバイアス抵抗 628 と、安定化容量 629 とを備える。

なお、第 1 のトランジスタ素子 621 および第 2 のトランジスタ素子 622 は、インバータ（反転増幅）回路となる発振インバータ 620 を構成している。また、発振インバータ 620 の入出力間には、共振回路 610 が接続されており、帰還回路を形成する。

また、第 1 のバイアス抵抗 625、第 2 のバイアス抵抗 626 および第 3 のバイアス抵抗 628 は、高抵抗値を有する回路素子によって構成されている。また、第 1 のバイアス抵抗 625、第 2 のバイアス抵抗 626 および第 3 のバイアス抵抗 628 は、電気抵抗値が 500 [MΩ] のものを用いることができる。なお、第 1 の結合容量 623、第 2 の結合容量 624 および安定化容量 629 は、コンデンサによって構成することができる。

また、第 1 のトランジスタ素子 621 は、たとえば、Pチャネルの MOSFET によって構成されている。また、第 2 のトランジスタ素子 622 および第 3 のトランジスタ素子 627 は、たとえば、Nチャネル MOSFET によって構成されている。

また、第 1 のトランジスタ素子 621 と第 2 のトランジスタ素子 622 と第 3 のトランジスタ素子 627 は、しきい値電圧の絶対値が低い素子（たとえば、0.3 [V]）を用いる。具体的には、Nチャネル MOSFET である第 2 のトランジスタ素子 622 および第 3 のトランジスタ素子 627 のしきい値は、0.3 [V] であり、Pチャネル MOSFET である第 1 のトランジスタ素子 621 のしきい値は、-0.3 [V] である。

第 1 のトランジスタ素子 621 のゲート端子および第 2 のトランジスタ素子 6

22のゲート端子は、第1の結合容量623および第2の結合容量624を介して接続されている。第1の結合容量623と第2の結合容量624との接続点は、共振回路610に接続されており、共振回路610に発振入力信号S_pを入力するようになっている。

- 5 また、第1のトランジスタ素子621のドレイン端子および第2のトランジスタ素子622のドレイン端子同士は接続されている。また、この両ドレイン端子は、共振回路610に接続されており、共振回路610から出力される発振出力信号S₁が入力されるようになっている。また、第1のトランジスタ素子621のソース端子は接地されている。また、第2のトランジスタ素子622のソース
- 10 端子は、安定化容量629の負極に接続されている。また、安定化容量629の正極は、接地されている。

安定化容量629は、発振インバータ620の動作に必要な電流を一時的に供給する目的で備えられている。

- また、第3のトランジスタ素子627のドレイン端子は、安定化容量629の
- 15 負極に接続されている。第3のトランジスタ素子627のソース端子は、定電圧回路653の定電圧出力端子V_{reg}に接続されている。

- 第3のトランジスタ素子627のゲート端子には、第3のバイアス抵抗628を介してバイアス回路604から得られる一定電圧が印加されており、第3のトランジスタ素子627を定電流回路として動作する。この定電流回路は安定化容量
- 20 629への電流供給をおこなう。

- なお、第1のトランジスタ素子621のゲート端子には、第1のバイアス抵抗625を介してバイアス回路604の出力である第1のバイアス電圧V_Pが直流バイアスされている。また、第3のトランジスタ素子627のゲート端子には、第3のバイアス抵抗628を介して第2のバイアス電圧V_Nが直流バイアスされている。第1のバイアス電圧V_Pおよび第2のバイアス電圧V_Nは、バイアス回路604によって生成されている。バイアス回路604の構成については後述する。
- 25

この第1のバイアス電圧 V_P によって、第1のトランジスタ素子621には、直流的には15[nA]の定電流が流れるようになっている。また、第3のトランジスタ素子627は、20[nA]の定電流回路として動作するように、素子寸法が設定されているものとする。

- 5 第2のバイアス抵抗626は、第2のトランジスタ素子622に自己帰還させるため、発振出力信号 S_1 と第2のトランジスタ素子622のゲートとの間に挿入されている。

(波形整形部の構成)

- 波形整形部603は、たとえばPチャネルMOSFETである第4のトランジスタ素子631と、NチャネルMOSFETである第5のトランジスタ素子632と、第3の結合容量633と、第4の結合容量634と、第4のバイアス抵抗635と、第5のバイアス抵抗636と、から構成されている。なお、第4のトランジスタ素子631および第5のトランジスタ素子632は、インバータ（反転増幅）回路を構成している。第4のトランジスタ素子631および第5のトランジスタ素子632としては、そのしきい値電圧の絶対値が発振部601に用いたMOSFETと同じ0.3[V]に設定された素子を用いる。
- 10
- 15

- 第4のトランジスタ素子631のソース端子は接地されており、第5のトランジスタ素子632のソース端子は、定電圧出力端子 V_{reg} に接続されている。また、第4のトランジスタ素子631のゲート端子および第5のトランジスタ素子632のゲート端子は、第3の結合容量633と第4の結合容量634とを介して接続されている。
- 20

- 第3の結合容量633および第4の結合容量634の接続点は、波形整形部603の入力端子とされており、発振出力信号 S_1 が入力される。第4のトランジスタ素子631のドレイン端子および第5のトランジスタ素子632のドレイン端子は、接続されており、波形整形出力信号 S_b を出力する。
- 25

第4のバイアス抵抗635は、第4のトランジスタ素子631のゲート端子に接続され、バイアス回路604から出力される第1のバイアス電圧 V_P が印加さ

れる。第5のバイアス抵抗636は、第5のトランジスタ素子632のゲート端子に接続され、バイアス回路604から出力される第2のバイアス電圧 V_N が印加される。

(バイアス回路の構成)

5 バイアス回路604は、PチャネルMOSFETである第6のトランジスタ素子641および第7のトランジスタ素子642と、NチャネルMOSFETである第8のトランジスタ素子643および第9のトランジスタ素子644と、抵抗素子である基準抵抗645と、から構成されている。第6～第9のトランジスタ素子641～644についても、そのしきい値電圧の絶対値が発振部601に用
10 いたMOSFETと同様に0.3[V]に設定された素子を用いる。

また、バイアス回路604は、定電圧を出力する回路であり、第1のバイアス電圧 V_P は、接地端子からみて、-0.3[V]程度の出力電圧値、第2のバイアス電圧 V_N は、定電圧出力端子 V_{reg} の電圧値からみて、+0.3[V]程度の出力電圧値となるように動作する。これらの出力電圧値は、バイアス回路6
15 04を構成するMOSFET641～644のしきい値電圧が基準となっている。

また、第6のトランジスタ素子641のソース端子は接地されており、第7のトランジスタ素子642のソース端子は基準抵抗645を介して接地されている。また、基準抵抗645により、第1のバイアス電圧 V_P および第2のバイアス
20 電圧 V_N の電圧値を調整することができる。ここでは、基準抵抗645としては、2500[K Ω]の抵抗素子を用いることとしている。

また第7のトランジスタ素子642のゲート端子は、第6のトランジスタ素子641のゲート端子およびドレイン端子に接続されている。この端子からは第1のバイアス電圧 V_P が出力される。そして、第8のトランジスタ素子643のソ
25 ース端子と第9のトランジスタ素子644のソース端子は、定電圧出力端子 V_{reg} に接続されている。

第9のトランジスタ素子644のゲート端子は第8のトランジスタ素子643

のゲート端子およびドレイン端子に接続している。この端子からは、第2のバイ
アス電圧 V_N が出力される。さらに、第6のトランジスタ素子641のドレイン
端子は、第9のトランジスタ素子644のドレイン端子に接続されている。また
、第7のトランジスタ素子642のドレイン端子は、第8のトランジスタ素子6
5 43のドレイン端子に接続されている。

第1のバイアス電圧 V_P は、第1のバイアス抵抗625を介して、第1のトラ
ンジスタ素子621のゲート端子に印加される。同様に、第1のバイアス電圧 V
 P は、第4のバイアス抵抗635を介して、第4のトランジスタ素子631のゲ
ート端子に印加される。

10 さらに、第2のバイアス電圧 V_N は、第3のバイアス抵抗628を介して、第
3のトランジスタ素子627のゲート端子に印加される。同様に、第2のバイア
ス電圧 V_N は、第5のバイアス抵抗636を介して、第5のトランジスタ素子6
32のゲート端子に印加される。

このように、バイアス回路604を設けて、発振部601における各トランジ
15 スタ素子に独立してDCバイアスを印加することとしているため、発振部601
における各トランジスタ素子が低しきい値トランジスタであっても、より低い電
圧によって発振部601の発振動作を開始することができる。これにより、消費
電力の低減化を実現することができる。

(計時部の構成)

20 計時部605は、波形生成部651と、時刻表示体652と、定電圧回路65
3と、プルダウンスイッチ654と、から構成されている。波形生成部651は
、発振部601の出力である発振出力信号 S_1 の波形が整形された波形整形出力
信号 S_b を多段のフリップフロップ回路で分周し、複数の分周段から得られる分
周信号を合成することによって、ステップモータを駆動するパルス波形を生成す
25 る論理回路である。

この波形生成部651は、電源が投入されたときから1.5秒の間、ハイレベ
ルとなるバックアップ信号 S_j を出力する。また波形生成部651は、バックア

ップ元信号 S_c と昇圧信号 S_d と充電クロック S_e とを出力している。これらの各種信号および波形生成部 651 の構成については後述する。

時刻表示体 652 は、一例としてアナログ時計を構成する要素、たとえば、図示しないステッピングモータと、減速輪列と、文字板と、指針などの時刻表示要素によって構成されている。時刻表示体 652 は、波形生成部 651 によって生成されたパルス波形に基づいて、ステッピングモータを駆動し、減速輪列を介して指針を回転させて時刻を表示する。時刻表示体 652 については一般的な構成であるため詳細な構成説明は省略する。

定電圧回路 653 は、一定電圧を出力する一般的な定電圧回路（電圧レギュレータ）である。ここでは、定電圧回路 653 の出力端子を V_{reg} としている。なお、定電圧回路 653 は、時計ブロック 104 の作動電圧である接地一端子 V_{ss1} 間の電圧によって駆動され、接地一端子 V_{reg} 間の電圧が、0.8 [V] となるように動作する。 V_{ss1} は、時計ブロック 104 の負極の端子である。

さらに、定電圧出力端子 V_{reg} には、プルダウンスイッチ 654 のドレイン端子が接続されている。プルダウンスイッチ 654 は、たとえば、Nチャネル MOSFET によって構成されている。プルダウンスイッチ 654 のゲート端子には、バックアップ信号 S_j が入力され、ソース端子には、時計ブロック 104 の負極の端子 V_{ss1} が接続される。

このプルダウンスイッチ 654 は、発振インバータ 620 などと同様に、しきい値電圧が 0.3 [V] のものによって構成される。バックアップ信号 S_j がハイレベルの期間は、プルダウンスイッチ 654 により、定電圧回路 653 の出力端子 V_{reg} と時計ブロック 104 の負極の端子 V_{ss1} との間は短絡状態となる。一方、バックアップ信号 S_j がロウレベルの期間は、定電圧回路 653 の出力端子 V_{reg} の電圧値は、所定の定電圧となるように動作する。

なお、定電圧回路 653 は、一般的な定電圧回路と同様に、接地一端子 V_{ss1} 間の電圧が 0.8 [V] よりも低い間は、定電圧回路 653 の出力端子 V_{reg}

gには、時計ブロック104の負極の端子V_{ss1}と等しい電位が現れることとする。

また、これ以降は、特に断らない限り、時計ブロック104の負極の端子V_{ss1}とは、接地—端子V_{ss1}間の電圧を指すものとする。蓄電部102の負極端子V_{ss2}についても同様に接地—端子V_{ss2}間の電圧を指すものとする。

(波形生成部および制御信号生成部の構成)

つぎに、この発明の実施の形態にかかる電子時計の波形生成部651および制御信号生成部107の回路構成について説明する。第7図は、この発明の実施の形態の電子時計の波形生成部651および制御信号生成部107の構成を示す回路図である。

波形生成部651は、パルス合成回路701と、モータドライバ702と、第1のレベルシフタ703と、から構成されている。また、制御信号生成部107は、第1のナンドゲート711と、第1のアンドゲート712と、第2のレベルシフタ713と、第1のオアゲート714と、第2のアンドゲート715と、第1のインバータ716と、第3のアンドゲート717と、第4のアンドゲート718と、第5のアンドゲート719と、から構成されている。

パルス合成回路701、モータドライバ702、第1のレベルシフタ703、第2のレベルシフタ713、第1のインバータ716、第3のアンドゲート717および第4のアンドゲート718のしきい値電圧は、一般的な電子時計の論理回路に採用されるMOSFETと絶対値が同じ値（ここでは0.5[V]）とされている。ここでは、NチャネルMOSFETのしきい値は0.5[V]であり、PチャネルMOSFETのしきい値は−0.5[V]である。

そして、これ以外の制御信号生成部107中の論理回路は、発振部601に用いたものと同様に、Pチャネル、Nチャネルともに、しきい値電圧の絶対値が低いMOSFETを用いた低しきい値CMOS回路によって構成される。すなわち、第1のナンドゲート711と、第1のオアゲート714と、第2のアンドゲート715と、第5のアンドゲート719とを、低しきい値CMOS回路（しきい

値電圧の絶対値が0.3[V])によって構成する。

つぎに、波形生成部651の構成701～703について具体的に説明する。
パルス合成回路701は、一般的な電子時計で用いられる分周回路（たとえば、
多段のフリップフロップ回路）と複数の論理ゲートとによって構成された一般的
5 な論理回路であり、発振部601の出力、すなわち、波形整形出力信号S_bが入
力されることによって波形整形出力信号S_bを分周し、複数の分周段から得られ
る分周信号を合成することによって、時刻表示体652のステッピングモータ（
不図示）を回転駆動させるためのモータ駆動パルス波形を生成する。

また、パルス合成回路701は、バックアップ元信号S_cと昇圧信号S_dと充
10 電クロックS_eとを出力している。昇圧信号S_dは、4096[Hz]の方形波
である。同様に、充電クロックS_eは1[Hz]の方形波である。また、バック
アップ元信号S_cは、時計ブロック104に電源を投入してから1.5秒間ハイ
レベルとなるパルス信号である。パルス合成回路701の詳細については後述す
る。

15 また、モータドライバ702は、パルス合成回路701のモータ駆動パルス波
形をレベル変換し、時刻表示体652のステッピングモータを駆動する大電流を
供給することができるドライバ回路である。特に図示はしないが、モータドライ
バ702の出力端子には、時刻表示体652のステッピングモータの駆動コイル
が接続されている。モータドライバ702については、一般的な電子時計と同様
20 の回路構成であるので、詳細な説明を省略する。

また、第1のレベルシフタ703は、接地一端子V_{reg}端子間レベルの論理
信号を、接地一端子V_{ss}1間レベルの信号にレベル変換するレベルシフタ回路
である。バックアップ元信号S_cは、第1のレベルシフタ703によってバック
アップ信号S_jにレベル変換される。

25 つぎに、制御信号生成部107の構成711～719について具体的に説明す
る。第1のナンドゲート711は、2入力のナンドゲートであり、波形整形出力
信号S_bとバックアップ元信号S_cとの論理積の否定信号を出力するようになっ

ている。

また、第1のアンドゲート712は、2入力のアンドゲートであり、発電検出信号 S_i と昇圧信号 S_d との論理積を出力するようになっている。第2のレベルシフタ713は、接地一端子 V_{reg} 間レベルの論理信号を、接地一端子 V_{ss} 間レベルの信号にレベル変換するレベルシフタ回路である。また、第2のレベルシフタ713は、第1のアンドゲート712の出力をレベル変換する回路である。

また、第1のオアゲート714は、2入力のオアゲートであり、第2のレベルシフタ713の出力とバックアップ信号 S_j との論理和を出力するようになっている。また、第2のアンドゲート715は、2入力のアンドゲートであり、第1のナンドゲート711の出力と第1のオアゲート714との論理積を出力するようになっている。また、第2のアンドゲート715の出力は、昇圧クロック S_a とされている。

また、第1のインバータ716は、パルス合成回路701から出力された充電クロック S_e を反転して、充電クロック S_e の否定信号を出力する。また、第3のアンドゲート717は、2入力のアンドゲートであり、第2のレベルシフタ713の出力と充電クロック S_e との論理積を出力するようになっている。この第3のアンドゲート717の出力は、第1の充電スイッチ信号 S_f とされている。

また、第4のアンドゲート718は、2入力のアンドゲートであり、第2のレベルシフタ713の出力と第1のインバータ716の出力との論理積を出力するようになっている。また、第4のアンドゲート718の出力は、第2の充電スイッチ信号 S_g とされている。

また、第5のアンドゲート719は、2入力のアンドゲートであり、バックアップ信号 S_j と第1のナンドゲート711との論理積を出力するようになっている。第5のアンドゲート719の出力は、第3の充電スイッチ信号 S_h とされている。

なお、波形生成部651および制御信号生成部107の構成要素が動作するた

めの電源としては、パルス合成回路701と第1のナンドゲート711については、定電圧回路653の出力端子V_{reg}（接地—端子V_{reg}間の電圧）によって動作するようになっている。

また、波形生成部651および制御信号生成部107中のそれ以外の論理回路素子については、時計ブロック104の負極端子V_{ss1}（接地—端子V_{ss1}間の電圧）によって動作するようになっている。

つぎに、第7図に示したパルス合成回路701について具体的に説明する。第8図は、パルス合成回路の構成を示す回路図である。パルス合成回路701は、分周回路801と、パワーオンリセット回路802と、アンドゲート803と、ラッチ回路804と、インバータ805と、から構成されている。

分周回路801は、15段以上のフリップフロップ列からなるカウンタ回路であり、波形整形部603から出力される波形整形出力信号S_bを分周し、この分周信号をモータドライバ702（第7図を参照。）に出力する。また、分周回路801において、昇圧信号S_dおよび充電クロックS_eは分周回路の分周出力である。

パワーオンリセット回路802は、回路自体に電源投入された場合、ハイレベル（接地電位）を数マイクロ秒間出力した後にロウレベルへ変化するパワーオンリセット信号S_kを出力する回路である。

アンドゲート803は、分周回路801から出力されてくる1 [Hz] のパルス信号および2 [Hz] のパルス信号の論理積をラッチ回路804に入力する。このラッチ回路804は、論理信号を通過、あるいは保持する論理ゲートである。

つぎに、このパルス合成回路701の具体的な動作について説明する。第9図は、パルス合成回路701の動作をあらわすタイムチャートである。まず、接地—端子V_{ss1}間に電圧が与えられることによりパワーオンリセットが立ち上がると、パワーオンリセット回路802によりラッチ回路804はリセットされ、バックアップ元信号S_cはハイレベルとなる。

その1. 5秒後には、分周回路801の出力を受けてアンドゲート803がハイレベルを出力するので、ラッチ回路804はセットされ、バックアップ元信号Scはロウレベルへ変化しこの状態を保持する。結果としてバックアップ元信号Scは1.5秒の間ハイレベルとなるパルス信号となる。

5 (電子時計の動作説明)

つぎに第10図～第14図を用いて、この発明の実施の形態にかかる電子時計の全体動作について説明する。ここで、第10図～第13図は、この発明の実施の形態にかかる電子時計の全体動作の処理手順を示すフローチャートである。また、第14図は、この発明の実施の形態の電子時計の回路要部の電圧波形を示す
10 タイミングチャートである。特に、第14図は、電子時計が停止した状態から発電部101が発電を開始することで発振部601およびその周辺が動作を開始する期間と、昇圧部103が発振部601の発信出力信号S1を基準として昇圧動作することにより、端子Vss1の電圧が上昇していく期間と、昇圧部103が昇圧クロックSdを基準とした昇圧動作に切り替わった期間と、における回路要
15 部波形を示したものである。ただし、第14図の波形図においては、発振出力信号S1と波形整形出力信号Sbと定電圧出力端子Vregの電圧値以外は単に論理値だけを波形図上に示している。

また、ここでは、蓄電部102の残量が空であり、発電部101も発電をしておらず、時計ブロック104の動作が停止した状態から、発電部101が発電を
20 開始する場合について説明する。

まず、第1図に示した第1～第3の充電スイッチ111～113がOFFの状態であり、発電検出信号Siがロウレベルとされている(ステップS1001)。そして、光が照射することによって太陽電池である発電部101が受光した場合(ステップS1002: Yes)、発電を開始する(ステップS1003)。
25 この発電開始によって、第1図に示した発電検出部106は、ロウレベルとなっている発電検出信号Siを、ハイレベルの発電検出信号Siにして出力する(ステップS1004)。

そして、この発電開始により、第1のダイオード121を介して発電部101から出力された電流が、コンデンサ110に電荷として蓄えられる。ここでは、発電部101の開放電圧は0.4[V]程度であるとする。

そして、電源電圧（端子Vss1の電圧）は、第1のダイオード121の電圧
5 降下により0.3[V]になる。このとき、バックアップ信号Sjは、ハイレベル（接地電位）となり（ステップS1005）、プルダウンスイッチ654はほぼ導通状態となる（ステップS1006）。

よって定電圧出力端子Vregの電圧値は、電源電圧（端子Vss1の電圧）の電圧値と同じ値となる。すなわち電源電圧（端子Vss1の電圧）および定電
10 圧出力端子Vregの電圧値は、ともに0.3[V]となる。

また、動作電源である端子Vregの電圧、すなわちこの状態では電源電圧（端子Vss1の電圧）が、自身のMOSFETのしきい値以上の電圧となれば（ステップS1007:Yes）、バイアス回路604は、動作を開始する（ステップS1008）。

15 そして、バイアス回路604から所定の電圧が出力されることにより、第1のバイアス電圧VPは接地電位から0.3[V]低い電位となり、第2のバイアス電圧VNは端子Vregから0.3[V]高い電位となる。

続いて、発電部101が発電を開始した後に、電子時計100が動作を開始する動作について説明する。バイアス回路604から所定の電圧が出力されれば、
20 発振部601は発振動作点が固定され、発振動作を行う（ステップS1101）。すなわち、発振部601を構成するトランジスタ素子のゲート端子には、ほぼ、しきい値電圧付近の電圧が直流的にバイアスされる。

このため、トランジスタ素子の増幅率は最大となり、発振部601中の発振インバータ620は、0.3[V]程度からでも増幅器として動作可能となる。さ
25 らに、共振回路610を介して、発振出力信号S1が再度入力側へ（第1および第2の結合容量623、624を介して交流的に）帰還されるので、結果として発振部601は共振回路610の共振周波数である32[KHz]で発振動作を

開始する。この発振出力信号 S 1 はほぼ正弦波となる。

なお、この発振部 6 0 1 での消費電流は、第 3 のトランジスタ素子 6 2 7 による定電流回路によって決まり、設定値である 2 0 [nA] 程度に抑えられる。そして、発振部 6 0 1 は、オーバートーン発振することなく安定した動作を行う。

- 5 安定化容量 6 2 9 の端子間電圧は、発振動作中はほぼ 0. 3 [V] となる。

そして、波形整形部 6 0 3 は、動作点を固定して安定した増幅動作を開始する (ステップ S 1 1 0 2)。すなわち、波形整形部 6 0 3 を構成するトランジスタ素子のゲート端子には、ほぼしきい値電圧付近の電圧が直流的にバイアスされる。このため、トランジスタ素子の増幅率は最大となり、波形整形部 6 0 3 は 0.

- 10 3 [V] 程度からでも増幅器として動作可能となる。

さらに、このゲート端子に第 3 の結合容量 6 3 3 および第 4 の結合容量 6 3 4 を介して交流的に発振出力信号 S 1 が印加されるので、結果として発振出力信号 S 1 が反転しかつ振幅が接地一端子 V r e g 間の電圧まで増幅された波形整形出力信号 S b を出力する (ステップ S 1 1 0 3)。

- 15 さらに、波形整形出力信号 S b は、低しきい値 CMOS によって構成された第 1 のナンドゲート 7 1 1 を介して、第 2 のアンドゲート 7 1 5 へ送られる。そして、制御信号生成部 1 0 7 は、昇圧部 1 0 3 に昇圧クロック S a を生成して出力する (ステップ S 1 1 0 4)。

- 20 昇圧部 1 0 3 は、昇圧クロック S a が入力されたことにより、この昇圧クロック S a を元に、発電部 1 0 1 から印加された電源電圧 (端子 V s s 1 の電圧) の昇圧動作を開始する (ステップ S 1 1 0 5)。すなわち、発振部 6 0 1 の発振周波数である 3 2 [KHz] によって、昇圧部 1 0 3 内部のコンデンサ 3 1 1 ~ 3 1 3 の直並列切り換え動作をする。

- 25 そして、波形整形出力信号 S b は、第 1 のナンドゲート 7 1 1 を介して、第 5 のアンドゲート 7 1 9 へ送られる。これにより、制御信号生成部 1 0 7 は、波形整形出力信号 S b の否定信号が増幅され方形波となった第 3 の充電スイッチ信号 S h を生成して切替制御部 1 0 8 に出力する (ステップ S 1 1 0 6)。

第3の充電スイッチ113は、第3の充電スイッチ信号Shが入力されたことにより、昇圧部103の昇圧動作に同期して開閉動作をおこなう（ステップS1107）。これにより、時計ブロック104へ昇圧出力を送るように動作する（ステップS1201）。なお、この時点では、しきい値電圧の高いMOSFET
5 によって構成されたパルス合成回路701およびモータドライバ702などは動作しない。

そして、昇圧部103が昇圧動作を継続すると、電源電圧（端子Vss1の電圧）は増加する。バックアップ信号Sjがハイレベルである期間では、プルダウンスイッチ654は導通状態のままであるので、定電圧出力端子Vregの電圧
10 は、電源電圧（端子Vss1の電圧）と同じ電圧のままである。

また、電源電圧（端子Vss1の電圧）は、やがて発電電圧の4倍である1.6[V]程度まで上昇する。電源電圧（端子Vss1の電圧）が計時部605の作動電圧（たとえば、1.2[V]）以上に昇圧された場合（ステップS1202:Yes）、パルス合成回路701の動作が開始する（ステップS1203）
15 。

これにより、パルス合成回路701も分周、パルス合成動作が可能となり、昇圧クロックSdおよび充電クロックSeを出力する（ステップS1204）。また、発振部601の動作開始から1.5秒経過した場合（ステップS1205:Yes）、バックアップ信号Sj（すなわちバックアップ元信号Sc）がハイレベルからロウレベルへと立ち下がる（ステップS1206）。
20

バックアップ信号Sjがロウレベルとなると、プルダウンスイッチ654は非導通状態となる（ステップS1207）。これにより、定電圧出力端子Vregの電圧値は所定の定電圧値へと切り替わる。なお定電圧回路653の定電圧動作のため、定電圧出力端子Vregの電圧値は電源電圧（端子Vss1の電圧）が増加しても所定の定電圧値以上とはならない。
25

また、発振部601が動作を開始してから1.5秒経過後に、発電検出部106が発電を検出した場合（ステップS1301:Yes）、発電検出信号Siは

ハイレベルを保持する。すると、第1のアンドゲート712および第2のレベルシフタ713を介して、昇圧信号S_dが第3のアンドゲート717と第4のアンドゲート718とに送られる。

これにより、第1の充電スイッチ信号S_fと第2充電スイッチ信号S_gには、
5 500ミリ秒おきに昇圧信号S_dが現れ、第1の充電スイッチ信号S_fと第2充電スイッチ信号S_gが出力される。

そして、第1の充電スイッチ信号S_fが、第1の充電スイッチ111に入力されることによって、第1の充電スイッチ111は開閉動作する（ステップS1302）。これにより、昇圧部103から時計ブロック104に昇圧出力されること
10 となり、時計ブロック104の計時動作がおこなわれる（ステップS1303）。

また、第2の充電スイッチ信号S_gが、第2の充電スイッチ112に入力されることによって、第2の充電スイッチ112は開閉動作する（ステップS1304）。これにより、昇圧部103から蓄電部102に昇圧出力され、蓄電部10
15 2の蓄電動作がおこなわれる（ステップS1305）。この後、ステップS1301に戻る。

すなわち、第1の充電スイッチ111と第2の充電スイッチ112とによって、昇圧部103から出力される昇圧出力が、時計ブロック104と蓄電部102
20 とに振り分けられ、時計ブロック104の計時動作と蓄電部102への充電動作とが並行しておこなうことができる。

このように、発電部101が発電状態である間は、発電検出部106がこれを検知して昇圧部103が昇圧動作を行うので、時刻表示をおこないつつ、蓄電部102への充電をおこなうことができる。

一方、発電を検出していない場合（ステップS1301：No）、発電部10
25 1が非発電状態となり、発電検出信号S_iはロウレベルとなる（ステップS1306）。これにより、昇圧クロックS_aはロウレベルになり（ステップS1307）、第1の充電スイッチ信号S_fと第2充電スイッチ信号S_gの出力が停止す

ることとなり、第1の充電スイッチ111と第2の充電スイッチ112の開閉動作が停止する（ステップS1308）。これにより、昇圧部103の昇圧動作が停止する。

また、一旦、蓄電部102に電気エネルギーが蓄電されている場合（ステップ
5 S1309：Yes）、蓄電部102から時計ブロック104に放電されて、計
時部605の計時動作がおこなわれる（ステップS1310）。この後、ステッ
プS1301に戻る。これにより、発電部101が非発電状態であっても、時計
ブロック104の計時動作を継続することができる。

すなわち、実施の形態の電子時計100によれば、電子時計100が発振起動
10 した直後から所定の期間に相当する1.5秒間の間、昇圧部103は時計部10
4に強制的に昇圧出力をおこない、それ以降は発電の有無に応じて昇圧出力を行
うように動作することができる。

（波形生成部の他の例）

また、上述した実施の形態においては、昇圧部103が動作する期間は発振部
15 601が始動してから1.5秒という所定の時間に固定されているが、より安全
に電子時計100を起動するために、時計ブロック104の端子間電圧が十分に
上昇するまで、昇圧部103を継続動作することとしてもよい。

この場合の電子時計100における波形生成部の他の例について説明する。第
15図は、波形生成部の他の例を示すブロック図である。なお、第15図におい
20 て、上述した実施の形態と同一構成については同一符号を付し、その説明を省略
する。

第15図に示すように、波形生成部1500には、第7図において示したパル
ス合成回路701、モータドライバ702およびレベルシフタ703のほか、さ
らに、電源電圧検出部1501と、パワーオンリセット回路1502と、ラッチ
25 回路1503と、インバータ1504と、から構成されている。これらは、パル
ス合成回路701などと同じしきい値のMOSFETによって構成することがで
きる。

パワーオンリセット回路1502は、回路自体に電源投入された場合、ハイレベル（接地電位）を数マイクロ秒間出力した後にロウレベルへ変化するパワーオンリセット信号を出力する回路である。

電源電圧検出部1501は、入力電圧が所定の電圧未満か否かを判定する一般的な電圧検出回路である。ここでは、時計ブロック104に印加された電圧が1.2[V]未満であればロウレベルを出力し、それ以外ではハイレベルを出力するものを用いている。電源電圧検出部1501の出力信号は、電源電圧検出信号Smとする。

ラッチ回路1503は、ノアゲート2個で構成する一般的なラッチ回路である。ラッチ回路1503のリセット入力には、パワーオンリセット回路1502から出力される信号が入力され、セット入力には電源電圧検出信号Smが入力される。

そして、ラッチ回路1503の出力信号は、インバータ1504に入力され、ラッチ回路1503の出力信号の否定信号を生成する。このインバータ1504の出力信号は、実施の形態で示したバックアップ元信号Scとして、ナンドゲート711や第1のレベルシフタ703に入力される。

続いて、この波形生成部1500を用いた場合の電子時計100の起動処理について説明する。第16図は、この波形生成部1500を用いた場合の電子時計100の動作処理手順を示すフローチャートであり、第17図は、この波形生成部1500を用いた場合の電子時計100の回路要部の電圧波形を示すタイミングチャートである。なお、第10図、第11図および第13図に示した起動処理手順は、この起動処理手順と共通するためその説明を省略する。

まず、第16図に示すように、電源電圧（端子Vss1の電圧）が計時部605の作動電圧（たとえば、1.2[V]）以上に昇圧されていない場合（ステップS1601：No）、電源電圧検出信号Smは、ロウレベルを保持する（ステップS1602）。したがって、ラッチ回路1503もリセット状態を保持するため（ステップS1603）、バックアップ信号Sjもハイレベルを保持し（ス

ステップS1604)、コンデンサ110と時計ブロック104への昇圧を継続する。そして、ステップS1601に戻る。

一方、電源電圧(端子Vss1の電圧)が計時部605の作動電圧(たとえば、1.2[V])以上に昇圧された場合(ステップS1601:Yes)、電源
5 電圧検出信号Smは、ロウレベルからハイレベルに切り替わる(ステップS1605)。したがって、ラッチ回路1503もリセット状態からセット状態に切り替わり(ステップS1606)、バックアップ信号Sjもハイレベルからロウレベルに立ち下がる(ステップS1607)。

そして、ロウレベルのバックアップ信号Sjがプルダウンスイッチ654に入
10 力されることにより、プルダウンスイッチ654が非導通状態となる(ステップS1608)。これにより、昇圧動作が停止する。

すなわち、この電子時計100は、電子時計100が発振起動した直後から、時計ブロック104の端子電圧が所定の電圧値に相当する1.2[V]に達するまでの間は、昇圧部103は時計ブロック104に強制的に昇圧出力を行い、それ
15 以降は発電の有無に応じて昇圧出力を行うように動作する。

この後、パルス合成回路701の動作が開始する(ステップS1609)。これにより、パルス合成回路701も分周、パルス合成動作が可能となり、昇圧クロックSdおよび充電クロックSeを出力する(ステップS1610)。そして、第13図に示したステップS1301に移行して、昇圧部103は発電部10
20 1の発電状態に応じて昇圧動作をおこなうことができる。

すなわち、この電子時計100は、発振部601が発振始動した直後から、時計ブロック104の端子電圧が所定の電圧値に相当する1.2[V]に達するまでの間は、昇圧部103は時計ブロック104に強制的に昇圧出力を行い、それ
以降は発電の有無に応じて昇圧出力を行うように動作する。

25 特に、この例によれば、発電部101から得られる発電電流が充分でなく、時計ブロック104の端子電圧を上昇させるのに時間がかかるような環境下であっても、時計ブロック104が低電圧で誤動作することなく安全に電子時計を起動

動作させることができる。

(波形生成部および制御信号生成部の別の構成例)

つぎに、波形生成部および制御信号生成部の別の構成例について説明する。この構成例は、上述した実施の形態において昇圧動作をおこなう所定時間（1.5秒間）のタイマ機能を、波形生成部には設けず、波形生成部から独立して制御信号生成部に設けた構成例である。

第18図は、波形生成部および制御信号生成部の別の構成例を示すブロック図であり、第19図は、第18図に示した制御信号生成部に設けたタイマ機能を示すタイムチャートである。なお、第18図において、上述した実施の形態と同一構成については同一符号を付し、その説明を省略する。また、第18図にあらわされていない制御信号生成部1802内部の構成については、上述した実施の形態の制御信号生成部107（第7図参照）と同一構成であるため、ここでは省略する。

第18図に示す分周回路1801は、第8図に示した分周回路801と同様、15段以上のフリップフロップ列からなるカウンタ回路であり、第6図に示した波形整形部603から出力される波形整形出力信号S_bを分周し、この分周信号をモータドライバ702に出力する。

また、分周回路801は、昇圧信号S_dおよび充電クロックS_eを出力する。一方、この分周回路1801は、制御信号生成部1802に対し、昇圧動作の基準となるバックアップ元信号S_cを生成するための1[Hz]のパルス信号および2[Hz]のパルス信号を出力しない。

また、パワーオンリセット回路1803は、回路自体に電源投入された場合、ハイレベル（接地電位）を数マイクロ秒間出力した後にロウレベルへ変化するパワーオンリセット信号を出力する回路である。

昇圧停止指示信号出力部としてのタイマ回路1804は、電源投入がなされてから1.5秒間ロウレベルを出力した後にハイレベルへと変化するタイマ信号S_oを出力する回路である。ラッチ回路1805は、パワーオンリセット信号をリ

セット入力し、タイマ信号 S_o をセット入力することにより、論理信号を通過あるいは保持する論理ゲートによって構成されている。

この構成によれば、接地—端子 V_{ss1} 端子間に電圧が与えられると、第 19 図に示すように、パワーオンリセット回路 1803 のパワーオンリセット信号により、ラッチ回路 1805 はリセットされ、インバータ 1806 によってバックアップ元信号 S_c はハイレベルとなる。

一方、その 1.5 秒後には、タイマ回路 1804 がハイレベルを出力するのでラッチ回路 1805 はセットされ、バックアップ元信号 S_c は、インバータ 1806 によってロウレベルに立ち下がり、この状態を保持する。そして、結果としてバックアップ元信号 S_c は、1.5 秒の間ハイレベルとなるパルス信号となる。

この構成によれば、昇圧動作を停止するタイマ回路を、分周回路 1801 とは切り離して構成することができるため、タイマ回路を交換するだけで、タイマ信号 S_o の出力タイミングを変更することができ、電子時計ごとに、起動時における昇圧動作の停止時間を変更することができる。

(昇圧停止指示信号出力部の別の構成例)

つぎに、第 18 図に示したタイマ回路 1804 を、タイマ回路 1804 に設定されている所定時間を変更することができる構成に置き換えた場合について説明する。第 20 図は、所定時間を変更する昇圧停止指示信号出力部のハードウェア構成を示すブロック図である。

第 20 図に示すように、この昇圧停止指示信号出力部 2000 は、CPU 2001 と、RAM 2002 と、ROM 2003 と、入力 I/F (インターフェース) 2004 と、不揮発性メモリである EEPROM 2005 と、出力 I/F (インターフェース) 2006 と、がバス 2007 に接続されて構成されている。

CPU 2001 は、昇圧停止指示信号出力部 2000 全体の制御を司る。この CPU 2001 は、低電圧によって駆動する構成とされており、たとえば、時計ブロック 104 の負極端子 V_{ss1} (接地—端子 V_{ss1} 間の電圧) によって起

動するようになっている。

RAM2002は、CPU2001のワークエリアとして使用される。ROM2003は、このタイマ処理を実行するプログラムなどが記憶される。入力I/F2004は、入力キー2010の操作によって得られる時間情報を入力する。

- 5 この入力キー2010は、たとえば、0.5秒、1.0秒、1.5秒または2.0秒などのように4種類の時間間隔をあらわす時間情報を選択できる切替式のスイッチやボタンなどによって構成とされている。

- EEPROM2005には、入力された時間情報を書き込まれる。時間情報は上述のように4種類とした場合、EEPROM2005は2ビット程度で構成することができる。なお、EEPROM2005のかわりに、フラッシュメモリを用いてもよい。また、出力I/F2006は、生成される昇圧停止指示信号を、
10 第18図に示したラッチ回路1805に出力する。

- つぎに、第20図に示した昇圧停止指示信号出力部2000の機能的構成について説明する。第21図は、第20図に示した昇圧停止指示信号出力部の機能的構成を示すブロック図である。
15

入力部2101は、入力キー2010の操作によって選択されたいずれかの時間情報を入力する。この入力部2101は、具体的には、第20図に示した入力I/F2004によってその機能を実現する。

- 時間情報書込処理部2102は、入力部2101から入力されてきた時間情報を、時間情報記憶部2103に書き込む。このとき、それまでに記憶されていた時間情報は消去される。この時間情報書込処理部2102は、具体的には、たとえば、第20図に示したROM2003に格納されたプログラムをCPU2001が実行することによってその機能を実現する。
20

- 時間情報記憶部2103は、時間情報書込処理部2102によって書き込まれた時間情報を記憶する。この時間情報記憶部2103は、具体的には、たとえば、第20図に示したEEPROM2005によってその機能を実現する。
25

時間情報抽出部2104は、CPU2001が起動した場合、時間情報記憶部

2103に記憶されている時間情報を抽出する。この時間情報抽出部2104は、具体的には、たとえば、第20図に示したROM2003に格納されたプログラムをCPU2001が実行することによってその機能を実現する。

5 昇圧停止指示信号生成部2105は、時間情報抽出部2104によって抽出された時間情報を、その時間情報の時間間隔に応じた昇圧停止指示信号を生成し、ラッチ回路1805に出力する。この昇圧停止指示信号は、第19図に示したタイマ信号S_oと同じ信号であるが、立ち上がり時間が、時間情報ごとに異なる。

たとえば、時間情報が0.5秒である場合は、昇圧停止指示信号の立ち上がりまでの時間も0.5秒となる。この昇圧停止指示信号生成部2105は、具体的
10 には、たとえば、第20図に示したROM2003に格納されたプログラムをCPU2001が実行することによってその機能を実現する。

つぎに、この昇圧停止指示信号出力部2000の昇圧停止指示信号出力処理手順について説明する。第22図は、この昇圧停止指示信号出力部2000の昇圧停止指示信号出力処理手順を示すフローチャートである。

15 第22図に示すように、入力キー2010が操作された場合（ステップS2201：Yes）、入力キー2010の操作によって選択された時間情報を時間情報記憶部2103に書き込む（ステップS2202）。

そして、蓄電部102の残量が空であり、発電部101も発電をしておらず、時計ブロック104の動作が停止した状態から、発電部101が発電を開始すると、CPU2001が起動する。この起動を検知した場合（ステップS2203：Yes）、時間情報記憶部2103に記憶されている時間情報を抽出する（ステップS2204）。

そして、抽出された時間情報から、昇圧停止指示信号としてタイマ信号S_oを生成して、ラッチ回路1805に出力する（ステップS2205）。複数種類の
25 電子時計の製造時において、一律に、たとえば1.5秒に設定しておいた場合、出荷時または販売時において、所定時間の変更をおこなうことができ、各電子時計の大きさやデザインによって発電部101の有効受光面積に応じて、昇圧動作

の基準となる所定時間の変更処理をおこなうことができ、電子時計の種類に応じて安定した起動をおこなうことができる。

たとえば、女性用の電子時計は、男性用の電子時計よりも小型であることから、発電部 101 である太陽電池も小さくなっており、有効受光面積も小さい。しかし、昇圧動作の基準となる所定時間の時間間隔が長くなるように設定することにより、太陽電池が未発電または未充電の場合であっても、安定した起動をおこなうことができる。

このように、上述した実施の形態にかかる電子時計 100 では、水晶発振回路自体を、太陽電池 1 段分より低い 0.4 [V] という低い発電電圧の印加によって発振始動することができる。これにより、太陽電池の小型化を図ることができ、電子時計 100 自体の小型化を図ることができる。特に、男性用の電子時計に比べて小型である女性用の電子時計 100 であっても、低電圧発電によって起動することができる。また、電子時計 100 の軽量化を図ることができるため、携帯性が向上するとともに、長時間腕に取り付けていても疲れない電子時計 100 を作成することができる。

また、文字盤からの反射光を取り込むために白色系の文字盤を採用する必要もなく、さまざまな色の文字盤を採用することができるため、装飾性の向上を図ることができる。

また、文字盤の下に敷設される円盤状の太陽電池は、高い電源電圧を生成することができ、入射光の透過特性のよい黒色系の文字盤に制約されるが、この電子時計 100 では、発電部 101 の電源電圧よりも低い始動電圧によって発振部 601 を低電圧始動できるため、受光効率が低下しても十分に電子時計 100 を起動することができる。したがって、文字盤を黒色系に限定する必要がなく、さまざまな色の文字盤を採用することができるため、装飾性の向上を図ることができる。

また、発振部 601 および波形整形部 603 により、発振開始直後から発振周波数と同一周波数の昇圧クロック S_a によって、直接昇圧部 103 を駆動するよ

うにしたため、発振部 601 自体の始動電圧よりも定格電圧の高いステッピングモータなどの負荷を即時に動作させることができる。

また、この発振部 601 への給電に定電流回路を用いることでオーバートーン発振も抑制することができ、かつ通常発振時の消費電力を従来よりも低くできるため、安定した発振特性を維持したまま、電子時計 100 の起動特性の向上を図ることができる。

特に、この電子時計 100 には、一般的な電子時計の発振回路に用いる水晶振動子 611 を用いており、CR 発振回路やリング発振回路といった消費電流の大きい他の発振回路を用いていない。したがって、発振動作に必要な電流が格段に小さくすることができ、発振始動し易く、電子時計 100 のスムーズな起動をおこなうことができる。

またこれにより、出力抵抗値の高い熱電発電器なども発電部 101 として採用することができる。また、CR 発振回路やリング発振回路といった消費電流の大きい発振回路を別途用意する必要もなく、部品点数を減少させることができる。この部品点数の減少により、電子時計 100 の小型化を図ることができ、女性用の電子時計 100 のように小型の電子時計の設計やデザインの自由度の向上を図ることができる。

なお、上述した実施の形態における電子時計 100 を構成する回路要素は、これらに限定するものではない。たとえば、蓄電部 102 の充放電制御の経路を簡単にするため、蓄電部 102 から時計ブロック 104 へ電力供給を行うためには、第 2 のダイオード 122 を用いたが、これを MOSFET で構成したスイッチとしてもよい。同様に第 1 のダイオード 121 は MOSFET で構成したスイッチとしてもよい。また昇圧部 103 としては、コンデンサの接続状態を切りかえる形式のものを仮定したが、その他コイルに生じる誘起電圧を利用したものであってもよい。

また、太陽電池を小型化しても十分、電子時計 100 を起動するだけの電力を得ることができるため、電子時計 100 の小型化や設計の自由度の向上を図るこ

とができ、特に、小型化が要求されている女性用の電子時計に適用することができる。

また、上述した実施の形態では、発電部 101 として太陽電池を用いて発電する電子時計 100 について説明したが、このほか、人体の熱によって熱エネルギーを生成する熱電対を複数直列化し、その熱電対の両端の温度差により発電する温度差発電式の電子時計や、回転錘の振動によって得られる機械的エネルギーを電氣的エネルギーに変換して発電する機械発電式の電子時計についても適用することができる。

また、発生電圧が低い発電器を用いて電子時計 100 以外の様々な電子機器も駆動させることができる。この電子時計 100 以外の電子機器としては、携帯型の電子機器、たとえば、携帯電話機、PDA (Personal Digital Assistance) または携帯型ラジオ (たとえばカード型ラジオ) などが挙げられる。この場合、第 1 図に示した計時部 605 を、その電子機器固有の作動をおこなう作動部に置き換えることにより、低電圧始動した発振部 601 からの発振出力によって、電子機器の起動をおこなうことができる。

以上説明したように、この発明によれば、電子時計や電子機器が作動する場合に必要な作動電圧よりも低い電源電圧を印加することによって電源電圧を作動電圧に昇圧することができる。したがって、太陽や照明の光、人体の熱または振動などから得られる外部エネルギーを電気エネルギーに変換することによって生成される電源電圧が、作動電圧よりも低い場合でも、電子時計や電子機器を確実に起動することができるという効果を奏する。

また、生成される電源電圧は、作動電圧よりも低くても十分に起動することができるため、外部エネルギーを電気エネルギーに変換する電源電圧生成手段、たとえば、太陽電池、熱電対または回転錘を、電源電圧が生成できる程度に小型化することができ、電子時計や電子機器の小型化を図ることができるという効果を奏する。

特に、生成される電圧が電源電圧程度である小型の太陽電池、熱電対または回

転錘を搭載する場合でも、十分に起動することができるため、男性用の電子時計に比べて小さい女性用の電子時計にも適用することができるという効果を奏する。また、作動電圧を生成する大型の太陽電池、熱電対または回転錘を設ける必要もなく、細かい装飾がほどこされた小型の女性用電子時計を作成することができるという効果を奏する。

5

産業上の利用可能性

以上のようにこの発明は、外部からのエネルギーを電気エネルギーに変換する発電機能を備えた電子時計や、携帯電話機、PDA、携帯型ラジオなどの電子機器に適用することができる。

10

請 求 の 範 囲

1. 外部エネルギーを電気エネルギーに変換して、所定の作動電圧よりも低い電源電圧を生成する電源電圧生成手段と、
5 前記電源電圧生成手段によって生成された電源電圧を印加することによって、
所定の発振信号を出力する発振信号出力手段と、
前記電源電圧生成手段によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧手段と、
前記発振信号出力手段によって出力された発振信号に基づいて、前記所定の作動電圧を印加することによって計時をおこなう計時手段と、
10 を備えたことを特徴とする電子時計。
2. 前記昇圧手段を制御して、前記所定の発振信号に基づいて、所定時間のみ、前記電源電圧を昇圧する昇圧制御手段を備えたことを特徴とする請求の範囲第1
15 項に記載の電子時計。
3. 前記発振信号出力手段によって出力された発振信号を分周する分周手段と、
前記分周手段から出力される分周信号に基づいて、前記発振信号出力手段が前記発振信号を出力してから前記所定時間経過したときに前記昇圧手段による昇圧
20 動作の停止を指示する昇圧停止指示信号を出力する昇圧停止指示信号出力手段と、
を備え、
前記昇圧制御手段は、前記昇圧停止指示信号出力手段によって出力された昇圧停止指示信号に基づいて、昇圧を停止することを特徴とする特許請求の範囲第2
項に記載の電子時計。
25
4. 前記昇圧制御手段は、
前記発振信号出力手段が始動してから前記所定時間経過したときに前記昇圧手

段による昇圧動作の停止を指示する昇圧停止指示信号を出力する昇圧停止指示信号出力手段を備え、

前記昇圧停止指示信号出力手段によって出力された昇圧停止指示信号に基づいて、昇圧を停止することを特徴とする特許請求の範囲第2項に記載の電子時計。

5

5. 前記昇圧制御手段は、

時間間隔が異なる複数の前記所定時間のうちいずれか一つをあらわす時間情報を入力する時間情報入力手段と、

前記時間情報入力手段によって入力された時間情報を記憶する時間情報記憶手段と、

10

前記電源電圧生成手段から生成された電源電圧が印加されることによって、前記時間情報記憶手段によって記憶された時間情報を抽出する時間情報抽出手段と

、
前記時間情報抽出手段によって抽出された時間情報に基づいて、抽出された前記時間情報によってあらわされる所定時間が経過したときに前記昇圧手段による昇圧動作の停止を指示する昇圧停止指示信号を生成する昇圧停止指示信号生成手段と、を備え、

15

前記昇圧停止指示信号生成手段によって生成された昇圧停止指示信号に基づいて、昇圧を停止することを特徴とする特許請求の範囲第2項に記載の電子時計。

20

6. 前記昇圧手段によって前記電源電圧が前記所定の作動電圧に昇圧されたか否かを検出する電源電圧検出手段と、

前記昇圧手段を制御して、前記所定の発振信号および前記電源電圧検出手段によって検出された検出結果に基づいて、前記電源電圧を昇圧する昇圧制御手段と

25

、
を備えたことを特徴とする請求の範囲第1項に記載の電子時計。

7. 前記昇圧制御手段は、前記発振信号出力手段が前記発振信号を出力してから所定時間経過した場合、前記発振信号および前記電源電圧検出手段によって検出された検出結果に基づいて、前記昇圧手段の昇圧動作を制御することを特徴とする特許請求の範囲第6項に記載の電子時計。

5

8. 前記発振信号出力手段は、

前記始動電圧が印加されることによって発振する発振回路と、

前記発振回路から出力される信号によって共振する共振回路と、

一定の電流を供給する定電流回路と、

10 前記定電流回路から一定の電流が供給されることにより、前記共振回路から出力される信号を反転増幅して前記発振信号を出力する発振インバータと、

を備えることを特徴とする特許請求の範囲第1項～第7項のいずれか一つに記載の電子時計。

15 9. 前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、

前記発振インバータは、前記計時手段に含まれている電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタによって構成されていることを特徴とする特許請求の範囲第8項に記載の電子時計。

20

10. 前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、

前記計時手段に含まれている電界効果トランジスタよりも、しきい値電圧の低い電界効果トランジスタによって構成され、前記発振信号出力手段から出力され

25 る発振信号の波形を整形して、前記計時手段に出力する波形整形手段を備えることを特徴とする特許請求の範囲第8項に記載の電子時計。

1 1. 前記計時手段は、複数の電界効果トランジスタからなる論理回路を備えており、

前記昇圧制御手段は、前記計時手段に含まれている電界効果トランジスタよりも、しきい値電圧の低い電界効果トランジスタによって構成されていることを特徴とする特許請求の範囲第 8 項に記載の電子時計。

5

1 2. 前記発振回路と同じしきい値の電界効果トランジスタによって構成され、前記発振インバータに所定のバイアス電圧を印加するバイアス回路を備えることを特徴とする特許請求の範囲第 8 項に記載の電子時計。

10

1 3. 前記発振信号出力手段から出力される発振信号の波形を整形して、前記計時手段に出力する波形整形手段と、

前記波形整形手段と同じしきい値の電界効果トランジスタによって構成され、前記波形整形手段に所定のバイアス電圧を印加するバイアス回路と、

15 を備えることを特徴とする特許請求の範囲第 8 項に記載の電子時計。

1 4. 所定の発振信号に基づいて、所定の作動電圧を印加することによって作動する電子機器であって、

20 外部エネルギーを電気エネルギーに変換して、前記所定の作動電圧よりも低い電源電圧を生成する電源電圧生成手段と、

前記電源電圧生成手段によって生成された電源電圧によって、前記所定の発振信号を出力する発振信号出力手段と、

前記電源電圧生成手段によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧手段と、

25 を備えたことを特徴とする電子機器。

1 5. 所定の発振信号に基づいて、所定の作動電圧を印加することによって作動

する電子機器を起動する起動方法であって、

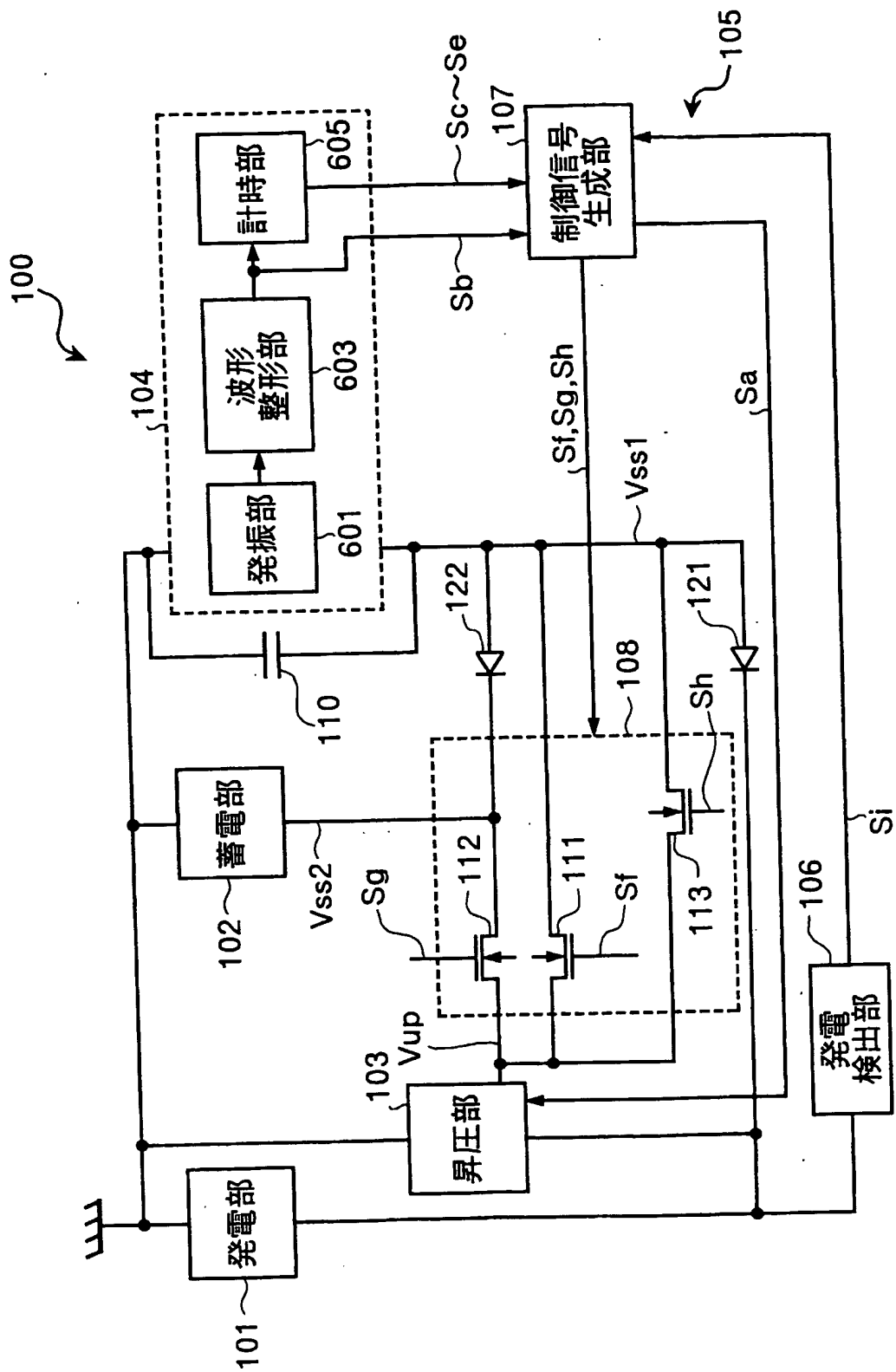
外部エネルギーを電気エネルギーに変換して、前記所定の作動電圧よりも低い電源電圧を生成する電源電圧生成工程と、

- 前記電源電圧生成工程によって生成された電源電圧によって、前記所定の発振
- 5 信号を出力する発振信号出力工程と、

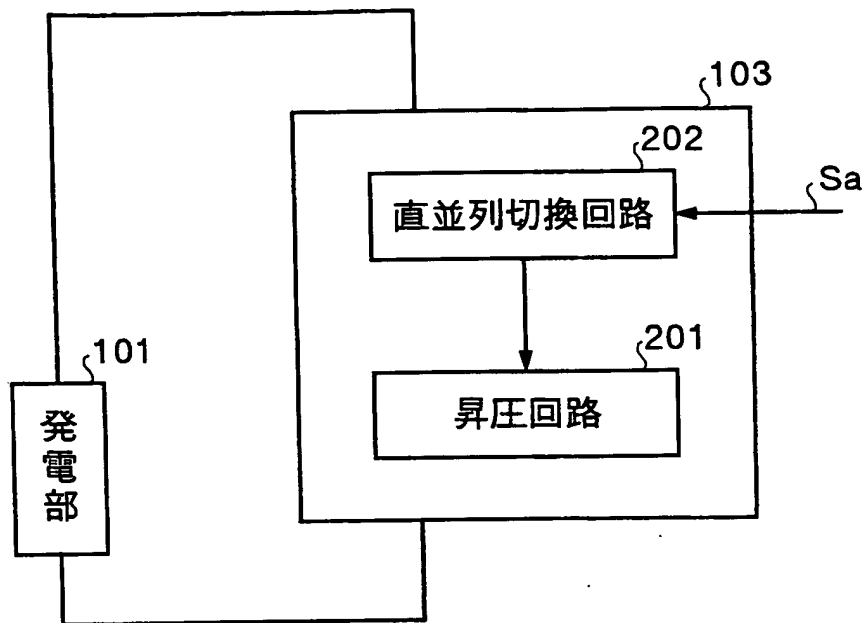
前記電源電圧生成工程によって生成された電源電圧を、少なくとも前記所定の作動電圧まで昇圧する昇圧工程と、

を含んだことを特徴とする起動方法。

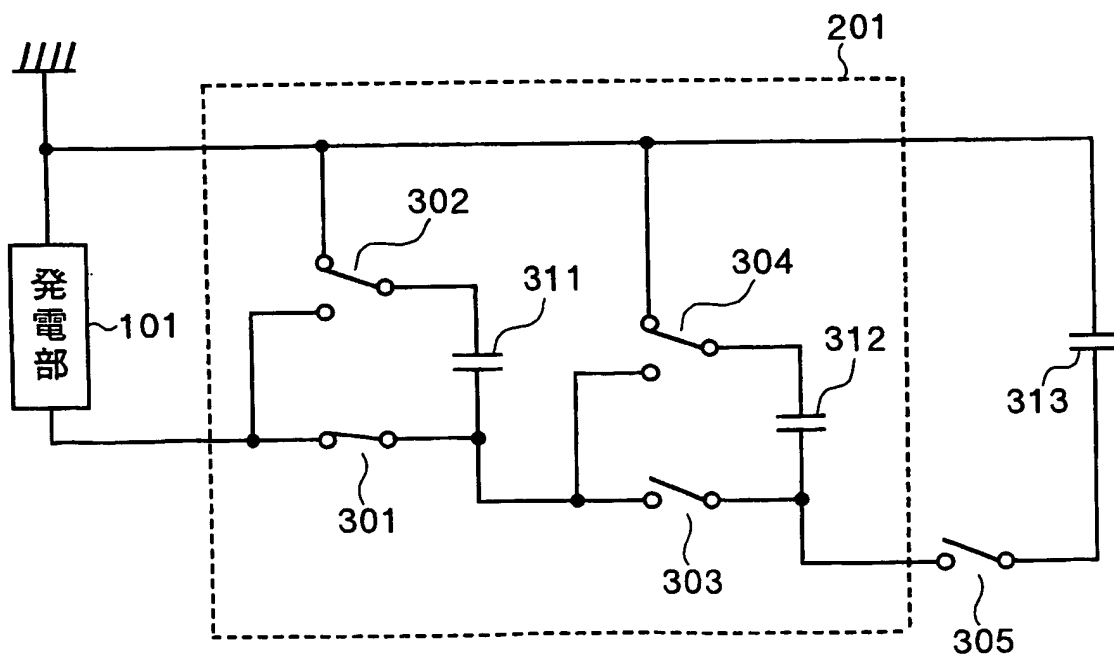
第1図



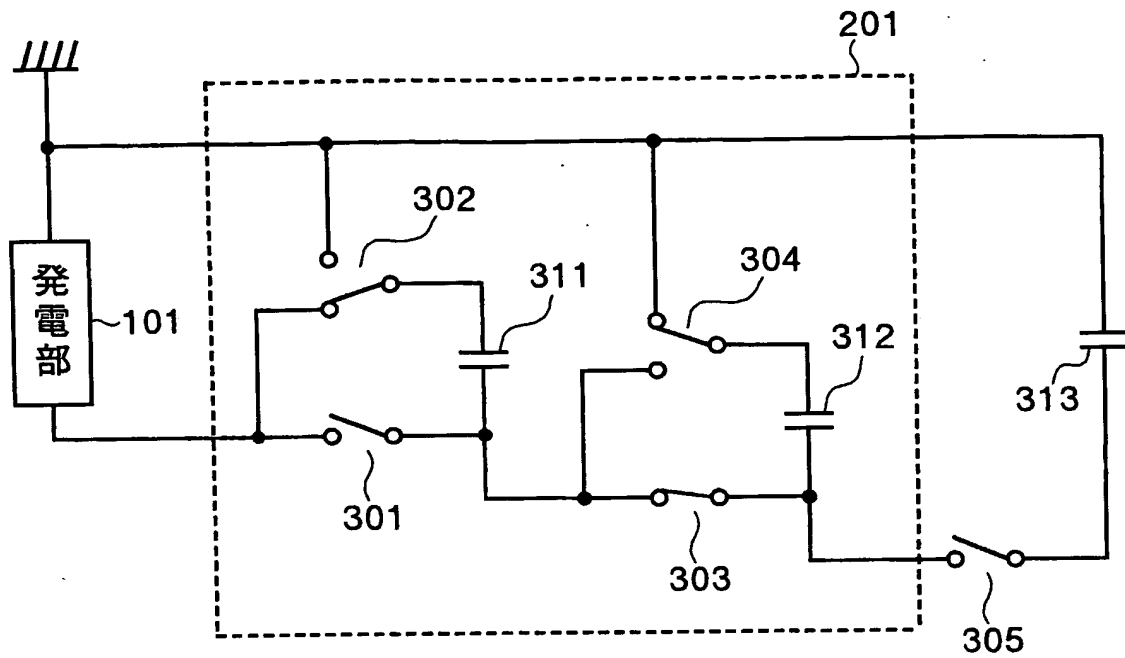
第2図



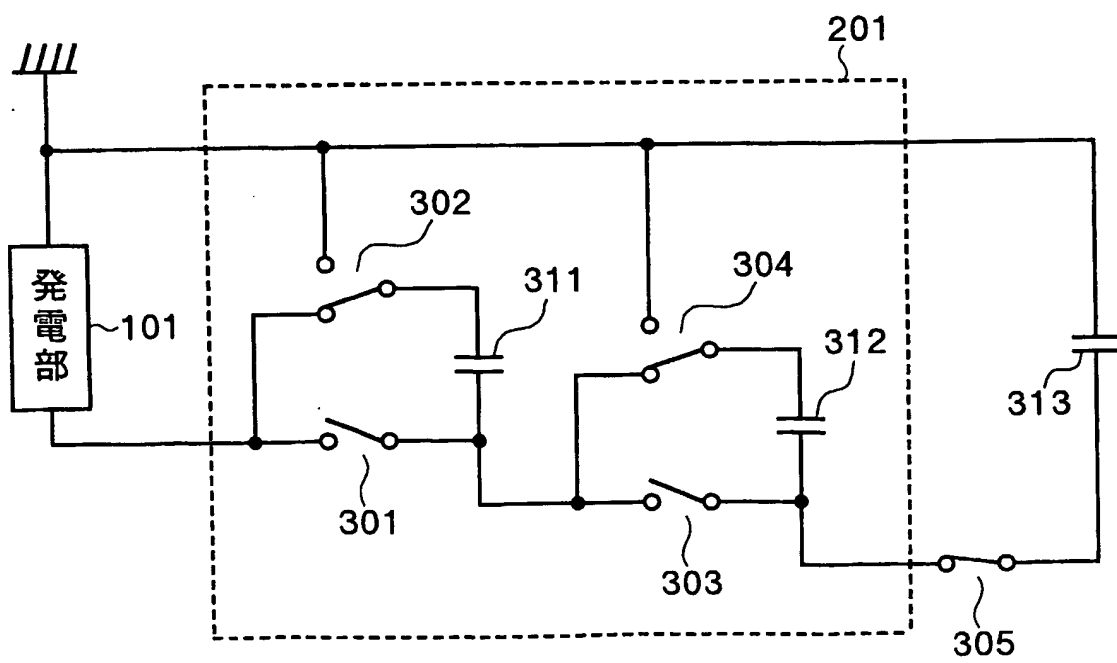
第3図



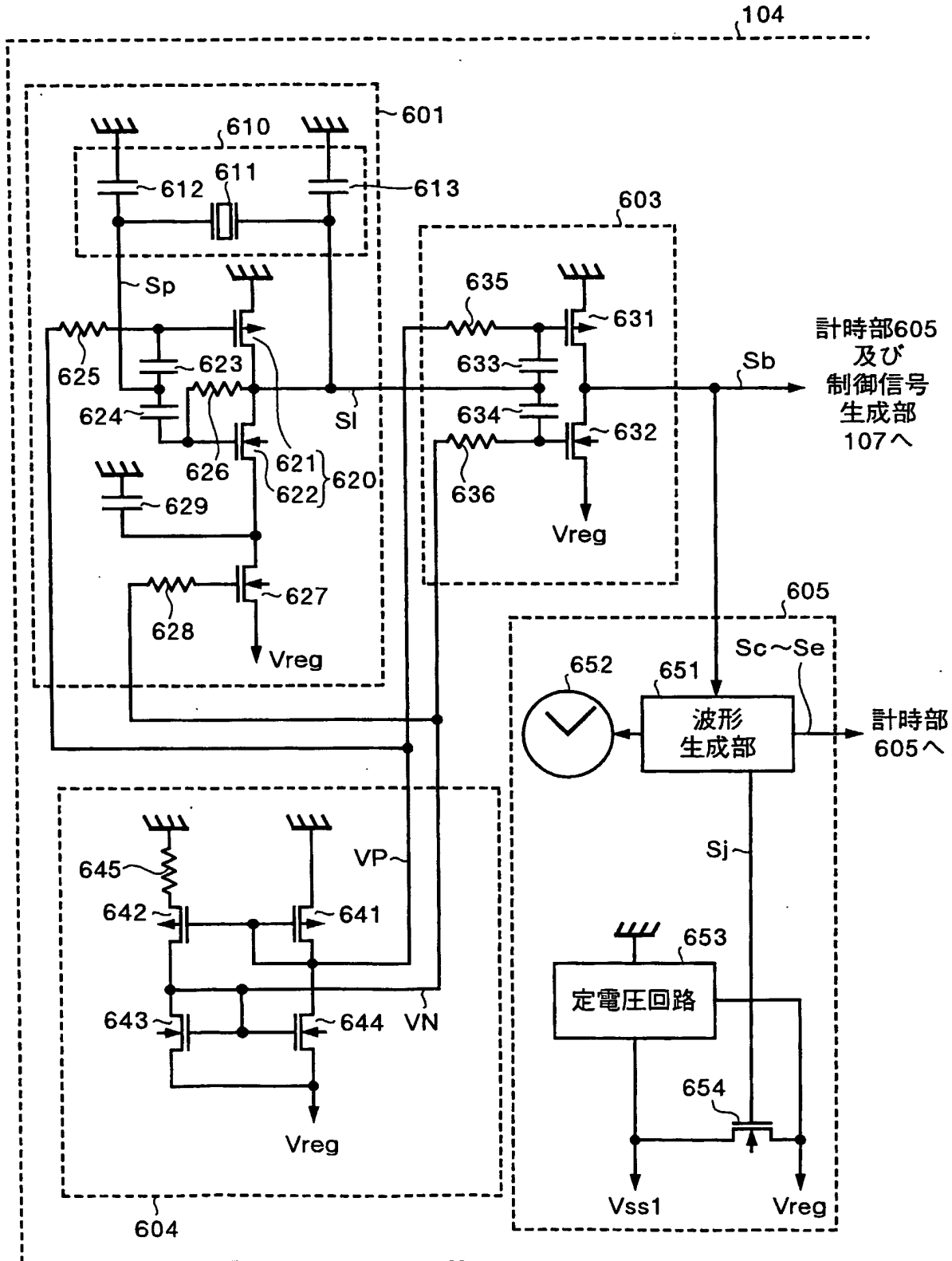
第 4 図



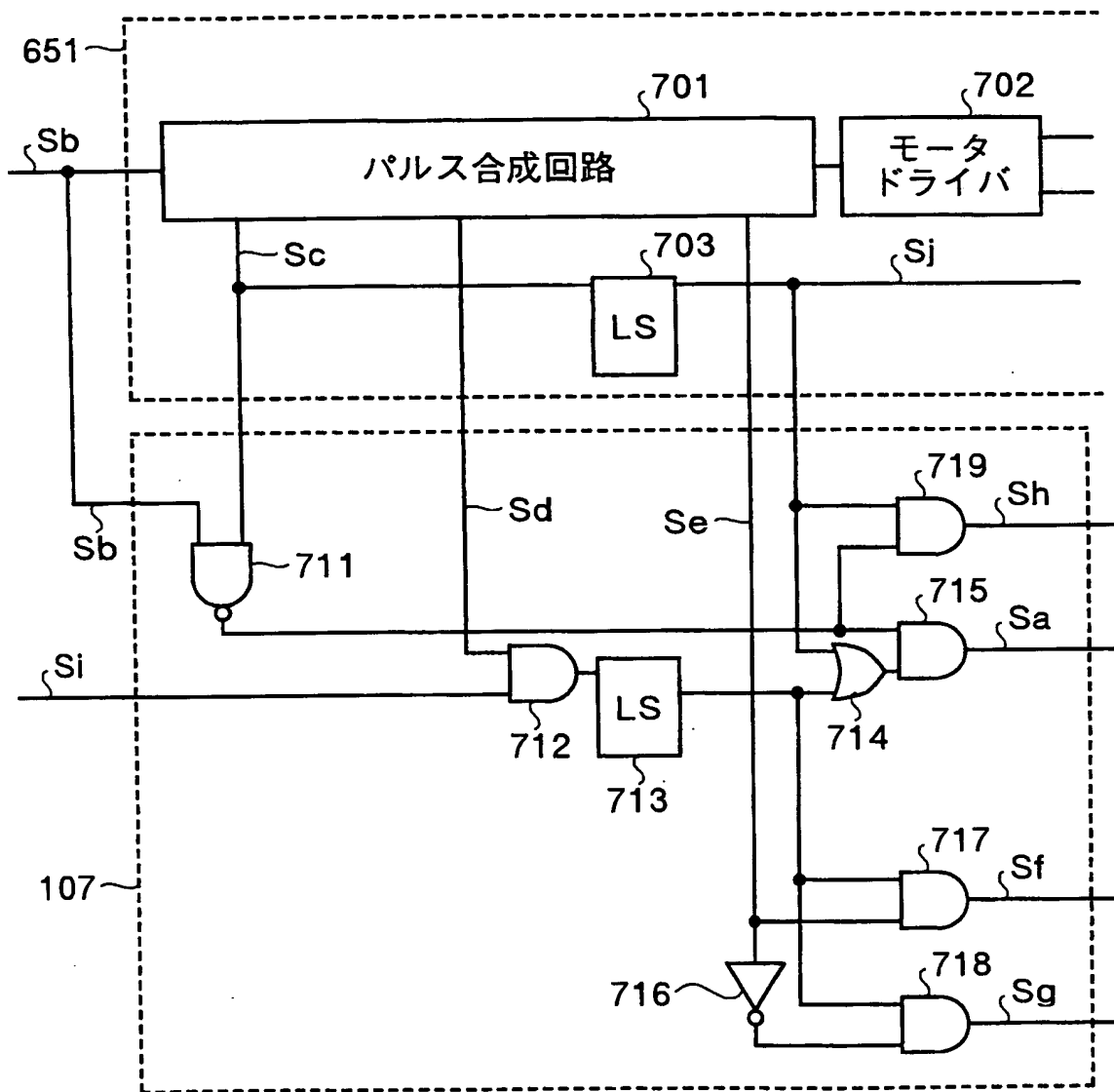
第 5 図



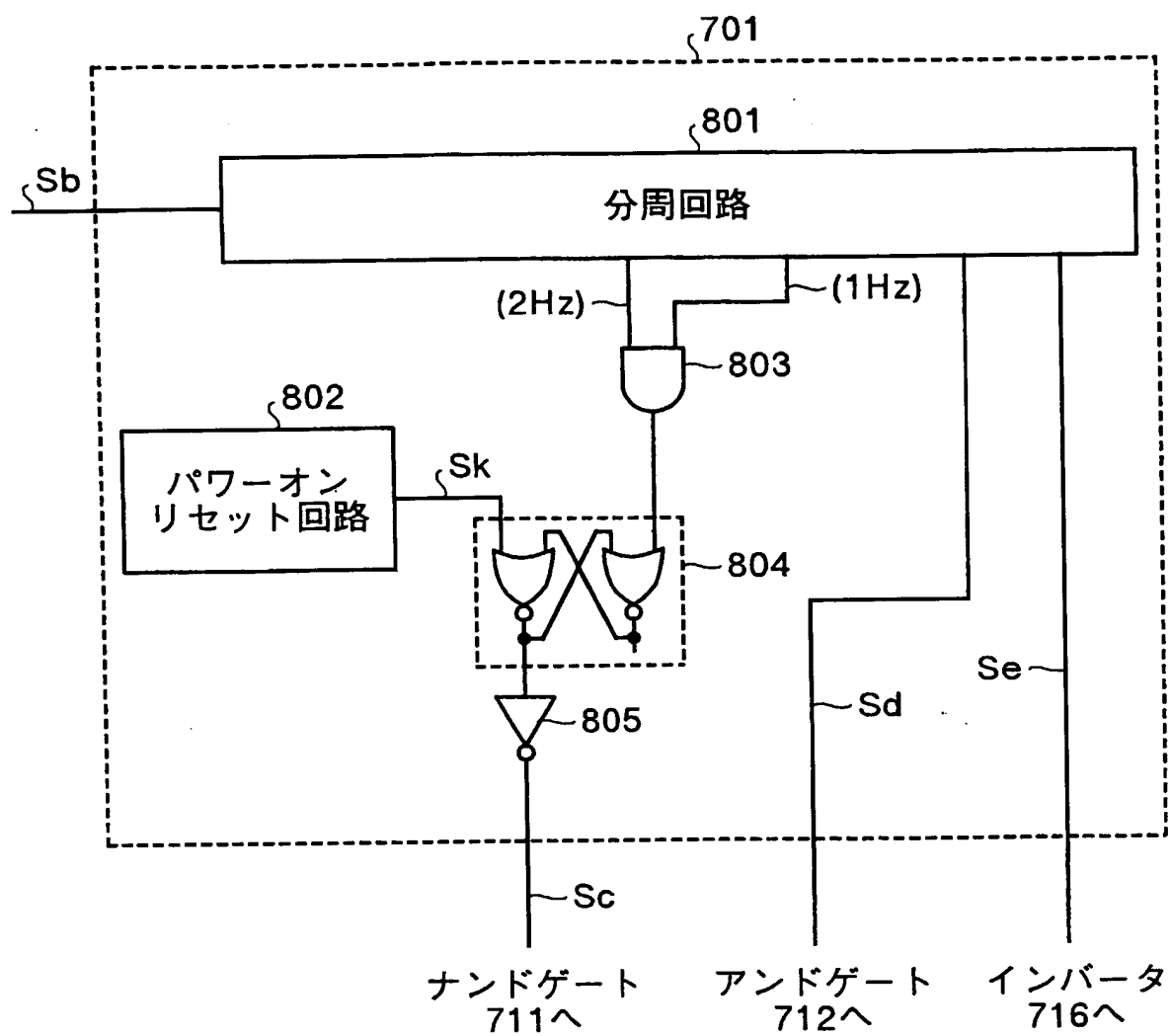
第 6 図



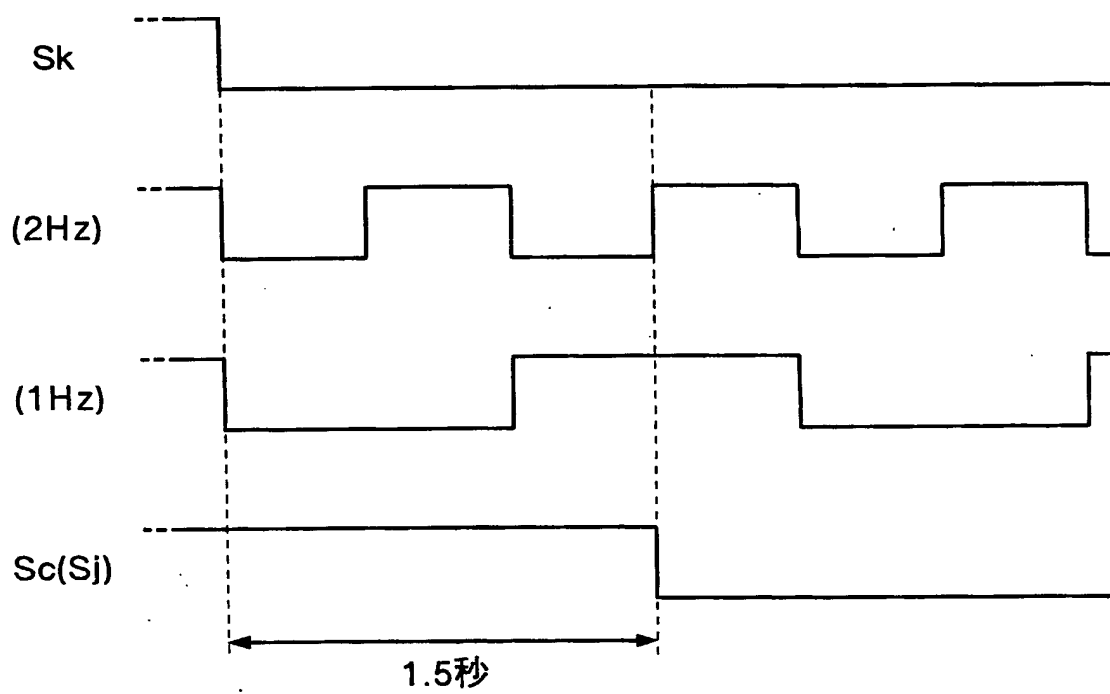
第 7 図



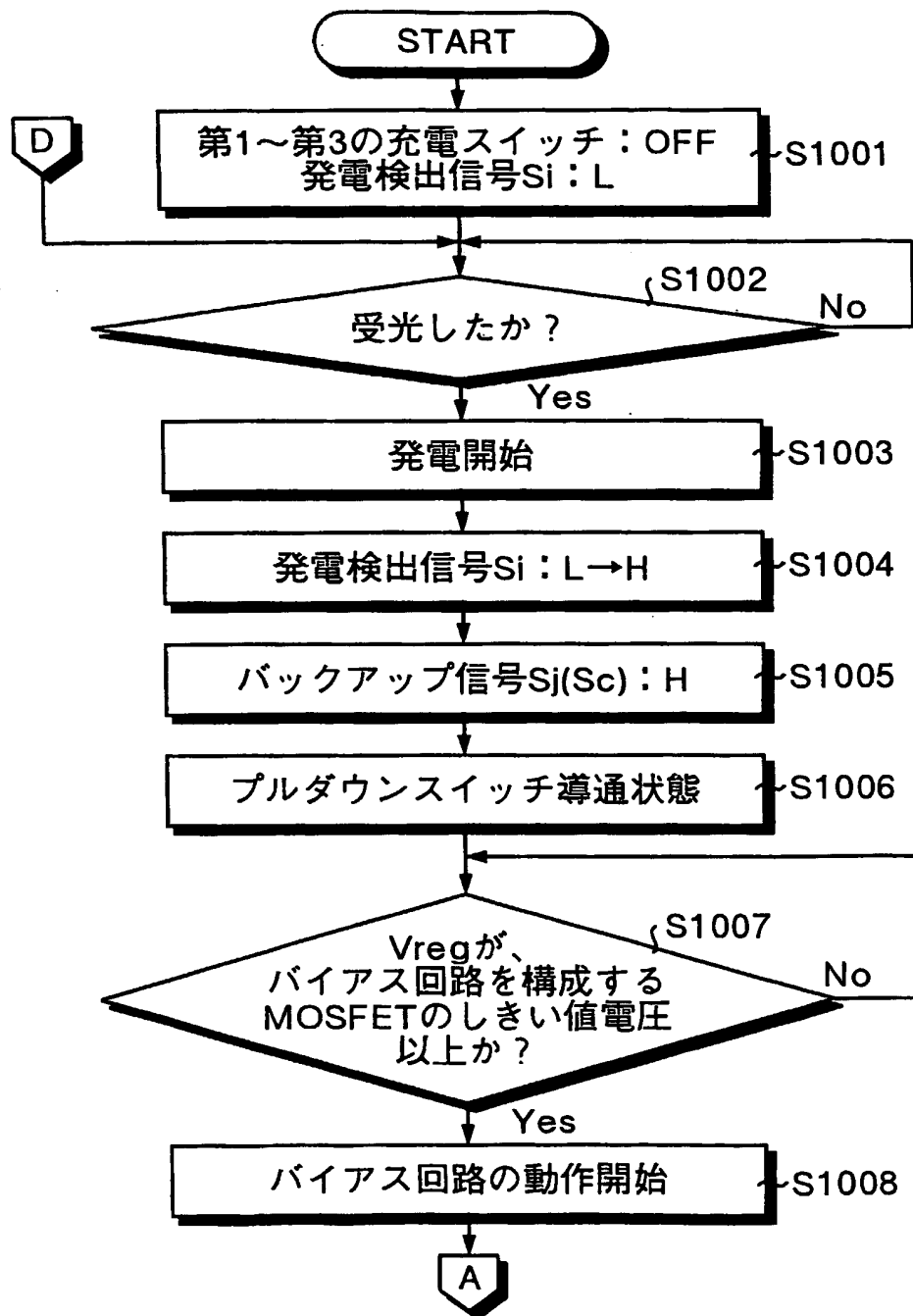
第 8 図



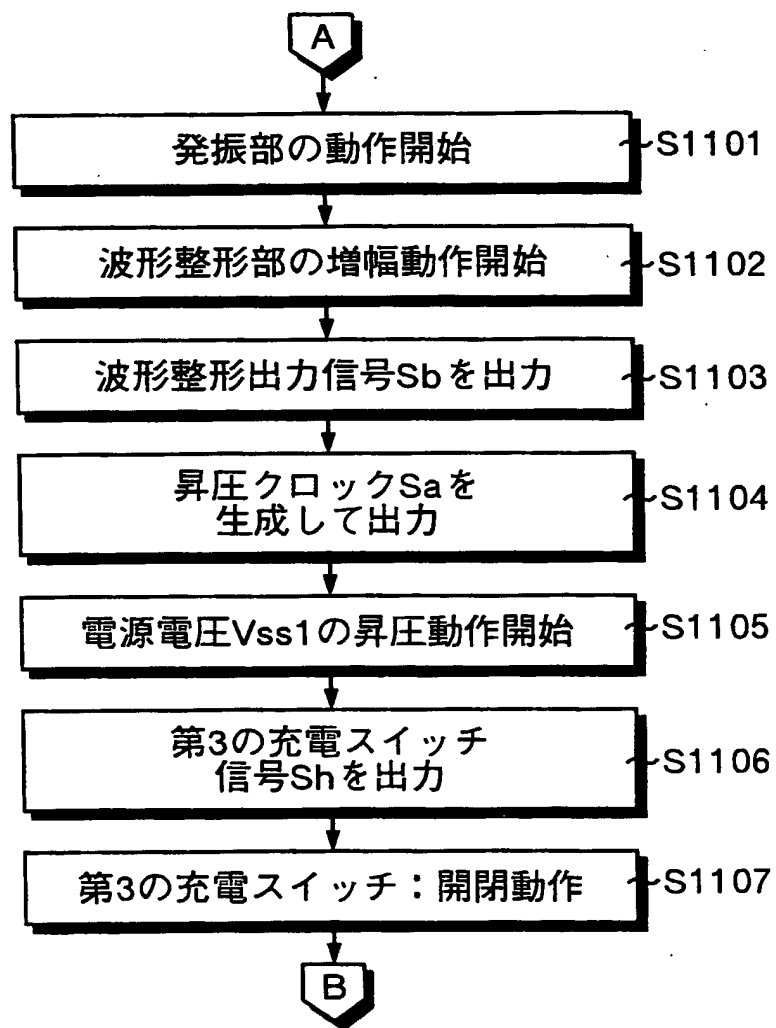
第 9 図



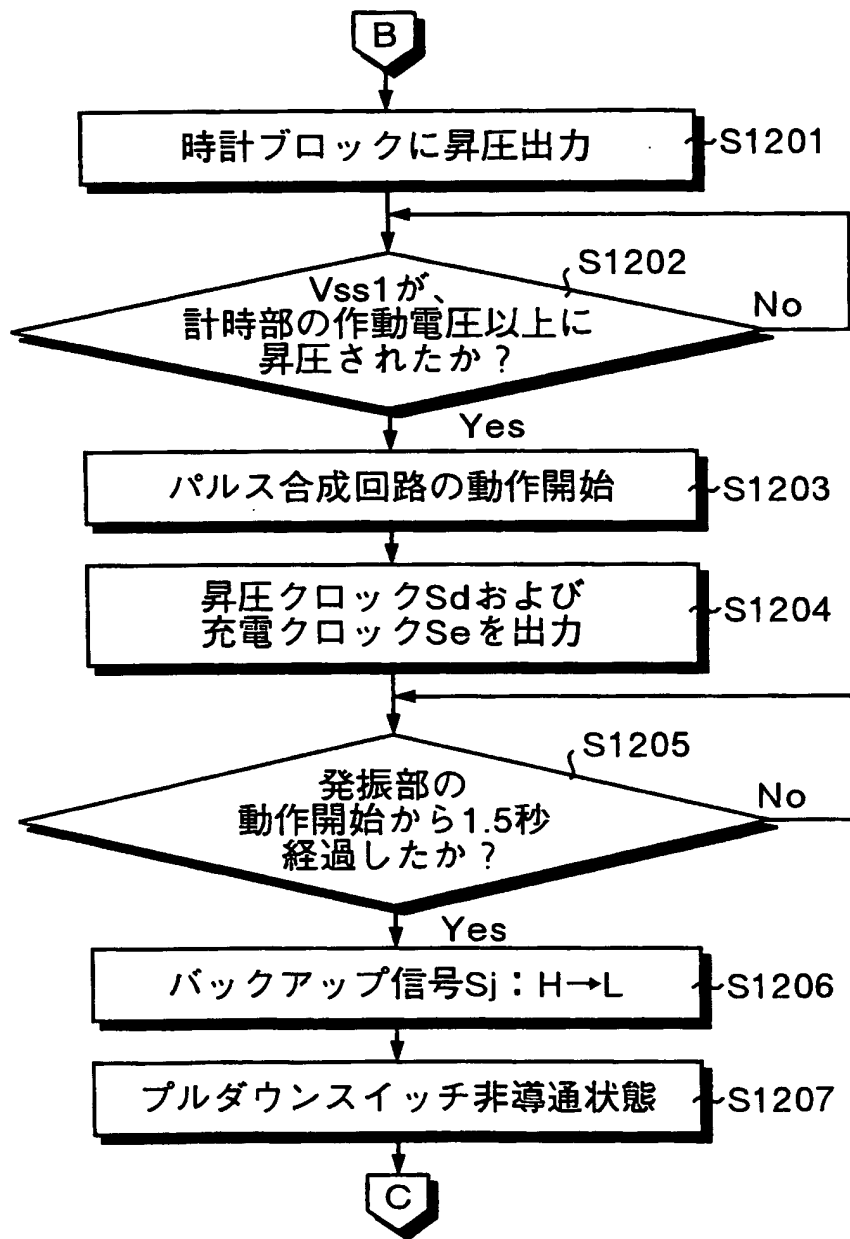
第10図



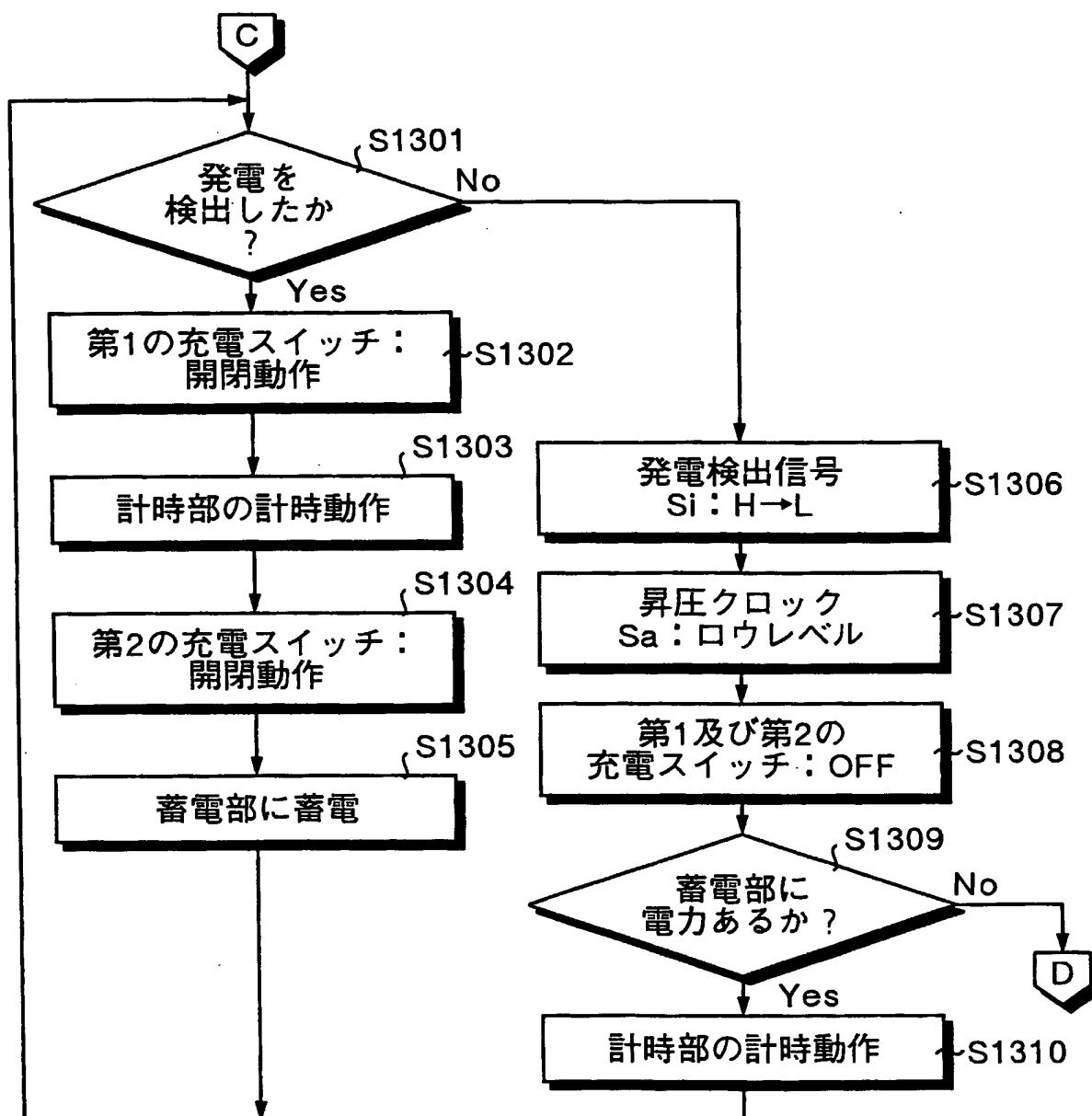
第11図



第12図

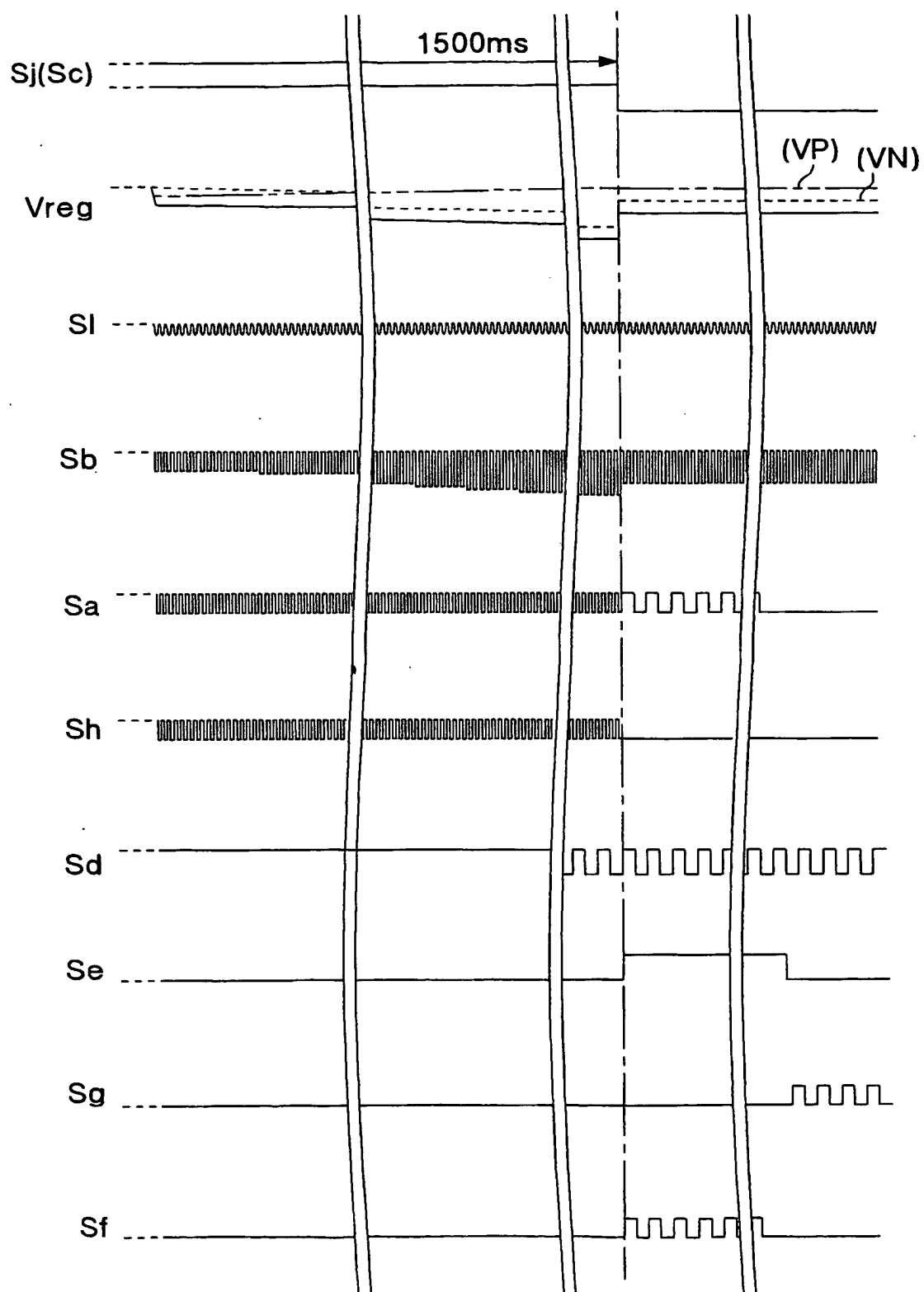


第13図

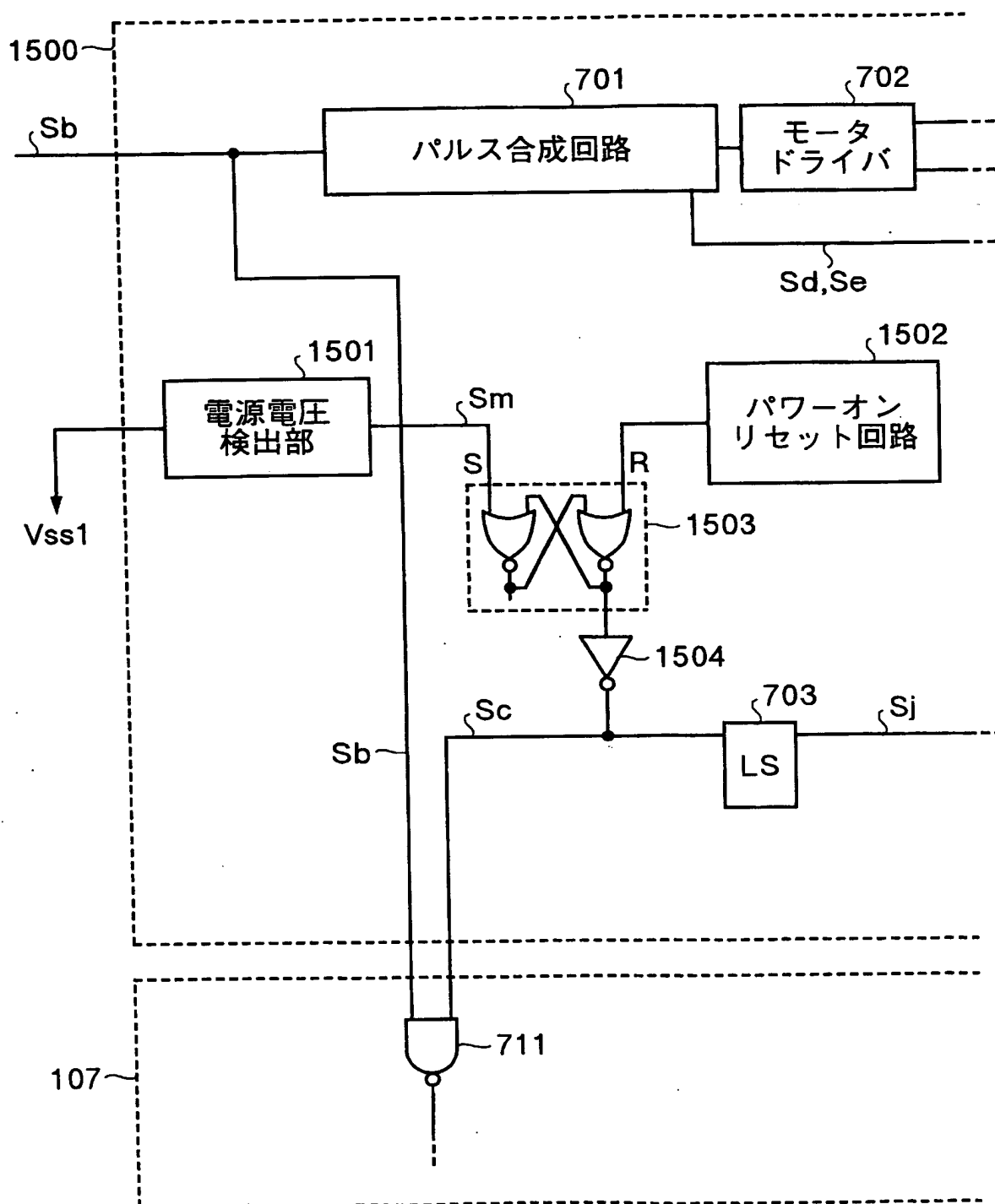


12/20

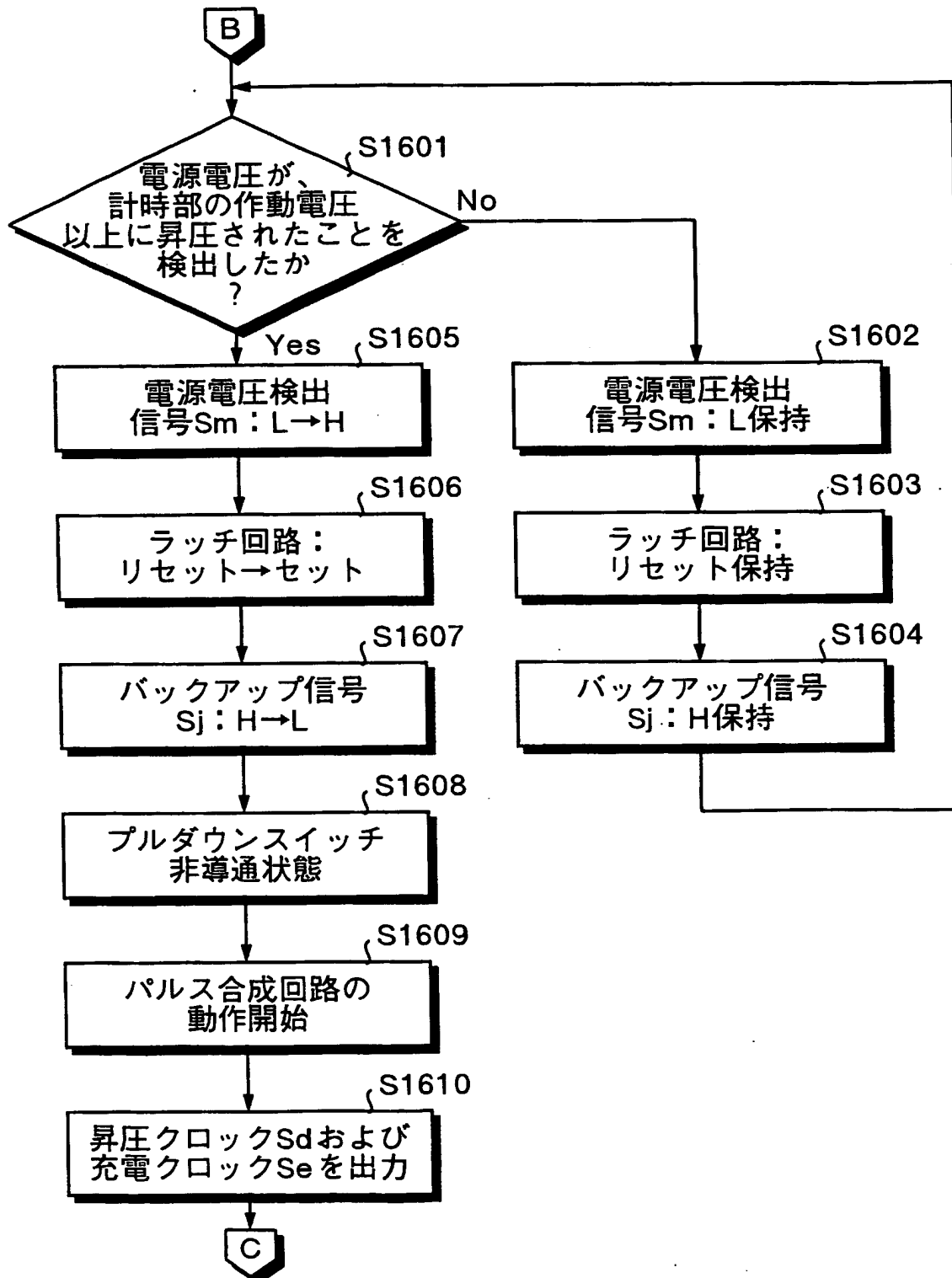
第14図



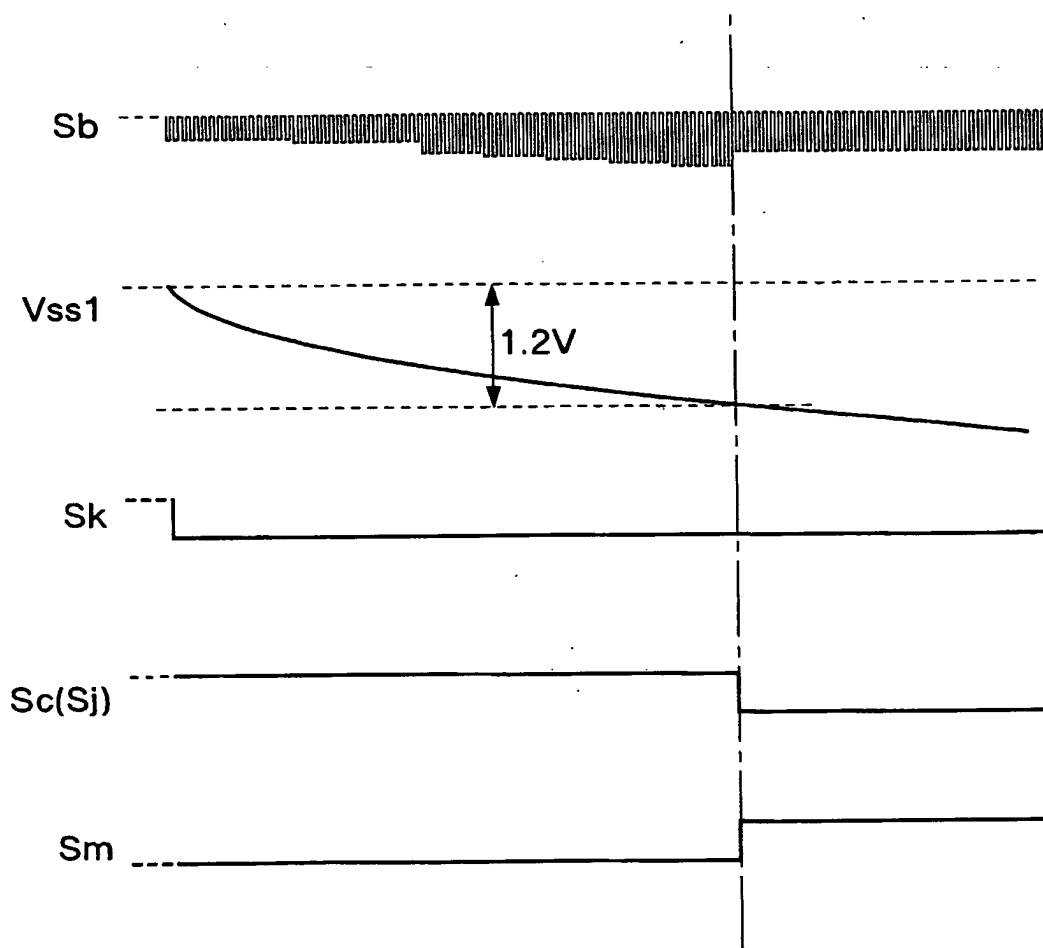
第15図



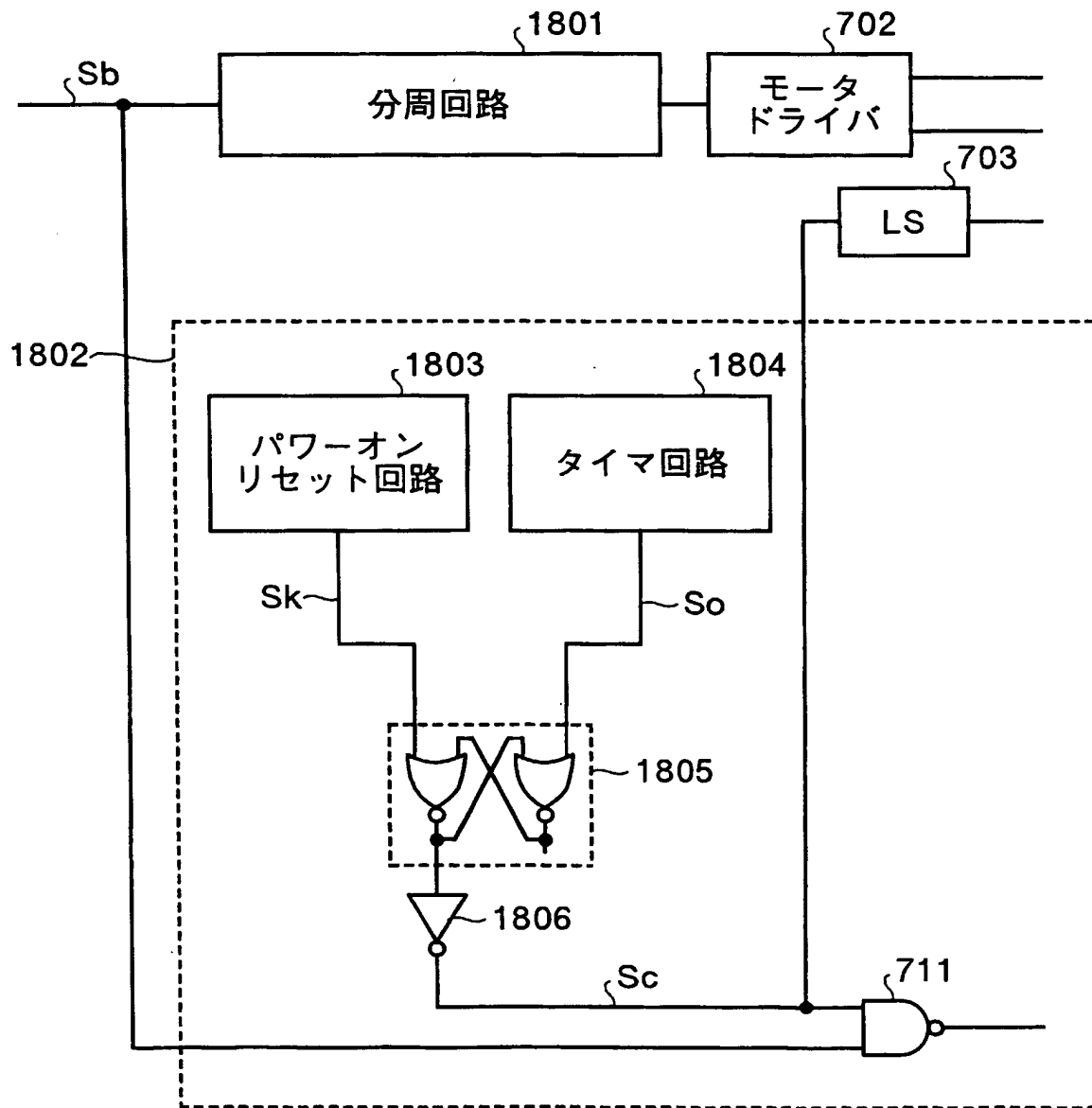
第16図



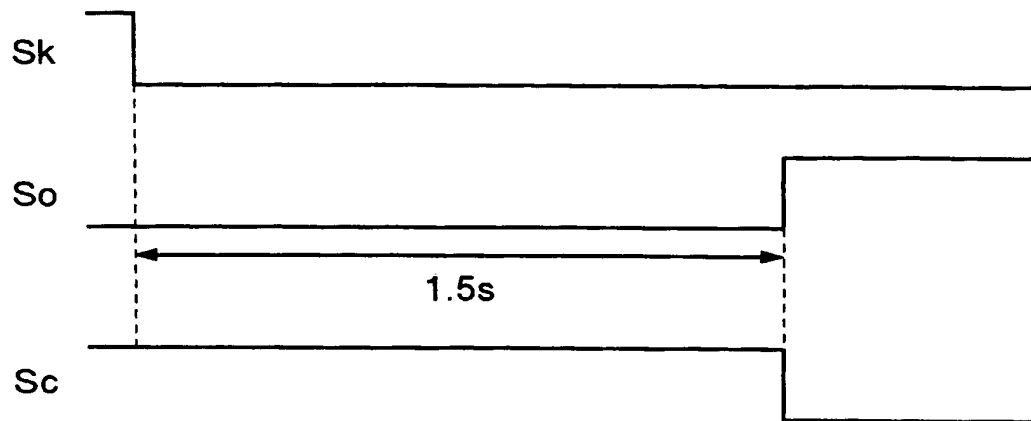
第17図



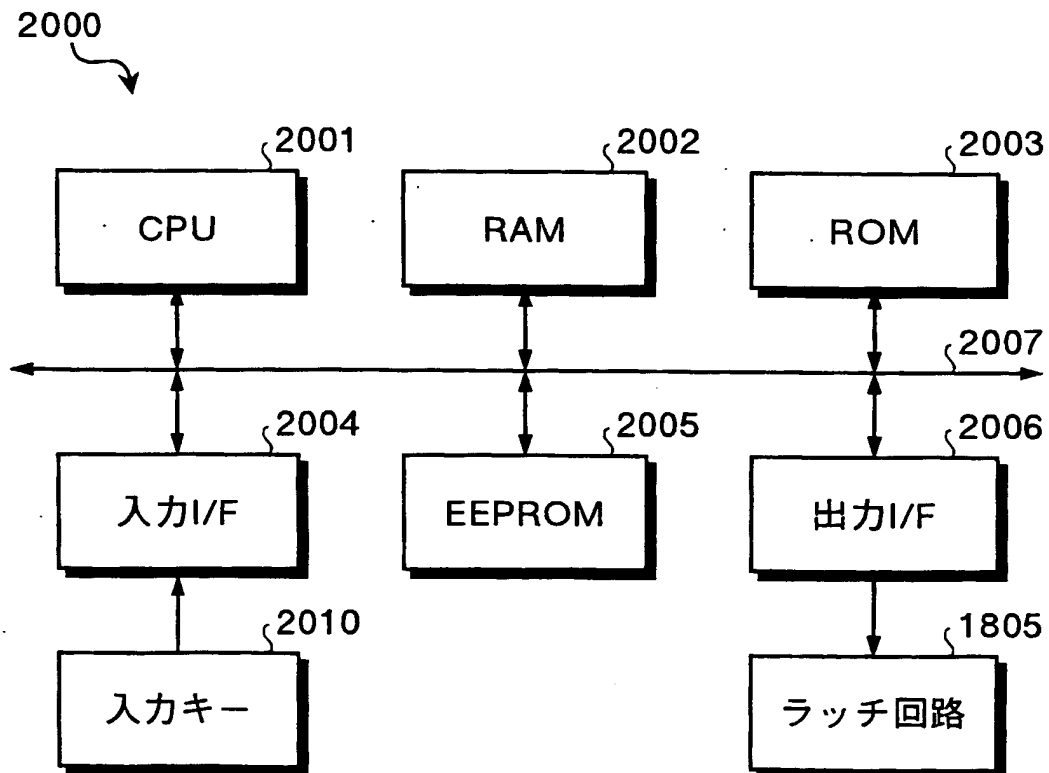
第18図



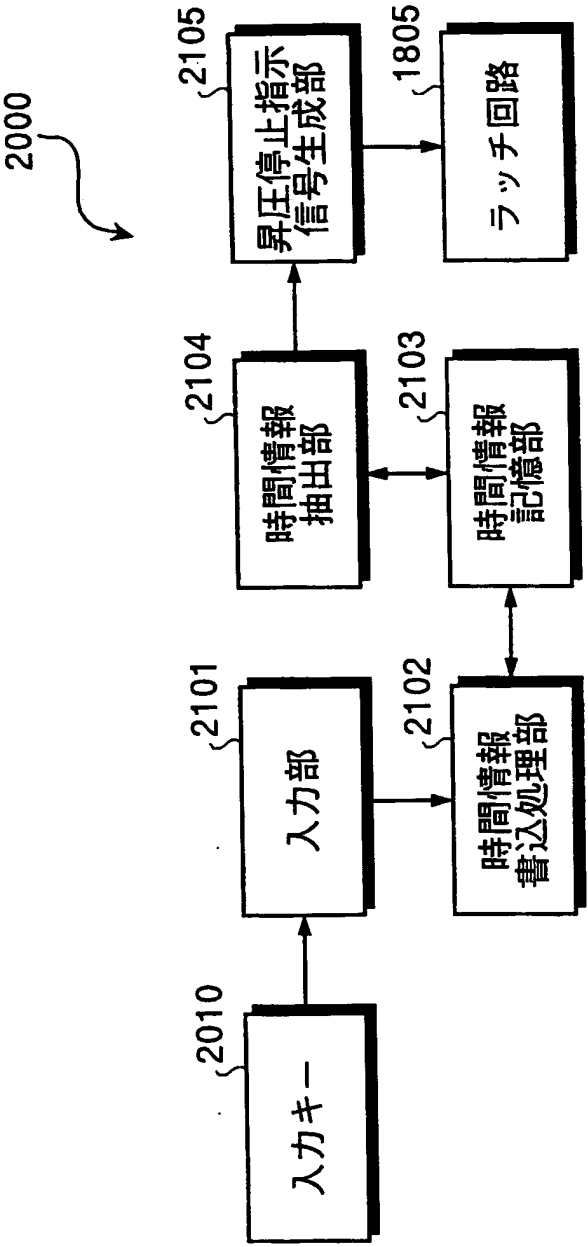
第19図



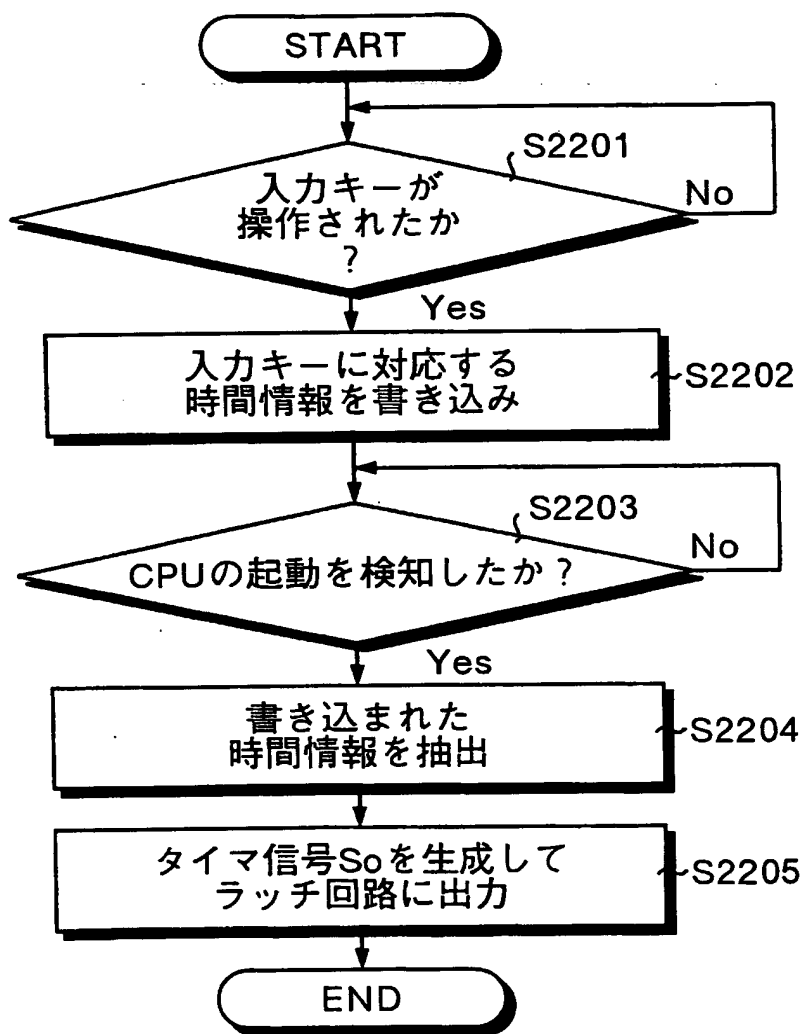
第20図



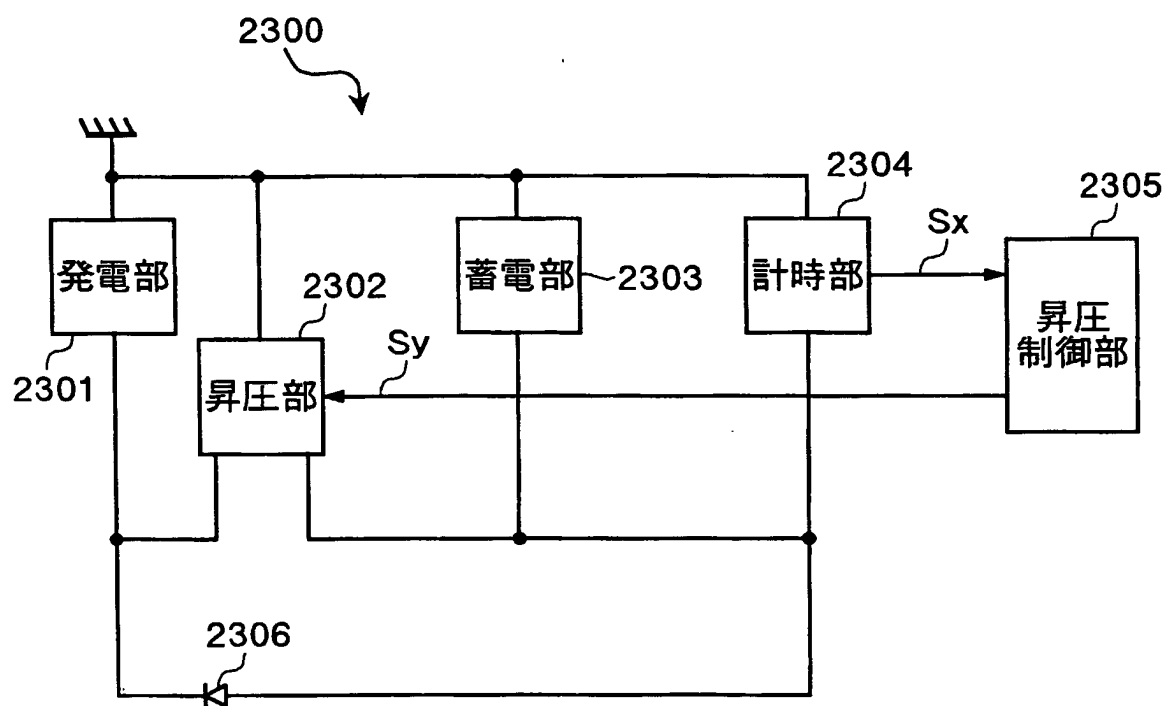
第21図



第22図



第23図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12145

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G04G1/00, G04C10/00, H02J7/35, H03B5/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G04G1/00-3/00, G04C10/00, H02J7/00, H03B5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 57-45483 A (Citizen Watch Co., Ltd.), 15 March, 1982 (15.03.82), Full text; all drawings (Family: none)	1, 14, 15 6 2-5, 7-13
X Y A	JP 7-8108 B2 (Casio Computer Co., Ltd.), 30 January, 1995 (30.01.95), Full text; all drawings (Family: none)	1, 14, 15 6 2-5, 7-13
Y	JP 7-92507 B2 (Seiko Epson Corp.), 09 October, 1995 (09.10.95), Full text; all drawings (Family: none)	6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 December, 2003 (18.12.03)	Date of mailing of the international search report 13 January, 2004 (13.01.04)
---	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12145

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 100828/1980 (Laid-open No. 25280/1981) (Citizen Watch Co., Ltd.), 07 March, 1981 (07.03.81), Full text; all drawings (Family: none)	1-15
A	EP 0898355 A2 (Seiko Instruments R&D Center Inc.), 24 February, 1999 (24.02.99), Full text; all drawings & US 6122185 A & JP 11-41917 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G04G 1/00 , G04C 10/00 ,
H02J 7/35 , H03B 5/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G04G 1/00 - 3/00 ,
G04C 10/00 , H02J 7/00 ,
H03B 5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 57-45483 A (シチズン時計株式会社) 1982.03.15, 全文, 全図 (ファミリーなし)	1, 14, 15
Y		6
A		2-5, 7-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.12.03

国際調査報告の発送日

13.01.04

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

五関 統一郎



2 F

2904

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 7-8108 B2 (カシオ計算機株式会社) 1995. 01. 30, 全文, 全図 (ファミリーなし)	1, 14, 15
Y		6
A		2-5, 7-13
Y	J P 7-92507 B2 (セイコーエプソン株式会社) 1995. 10. 09, 全文, 全図 (ファミリーなし)	6
A	日本国実用新案登録出願55-100828号 (日本国実用新案登録出願公開56-25280号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (シチズン時計株式会社) 1981. 03. 07, 全文, 全図 (ファミリーなし)	1-15
A	EP 0898355 A2 (Seiko Instruments R&D Center Inc.) 1999. 02. 24, 全文, 全図 & US 6122185 A & J P 11-41917 A	1-15